

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 10 月 27 日 (27.10.2005)

PCT

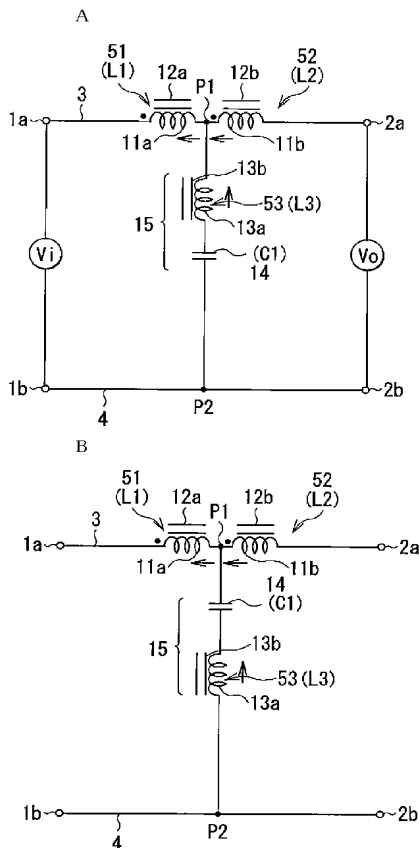
(10) 国際公開番号
WO 2005/101626 A1

- (51) 国際特許分類: H02M 1/12, H02H 9/04 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 鈴木 満成 (SUZUKI, Mitsunari) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目 1 3 番 1 号 T D K 株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2005/001364
- (22) 国際出願日: 2005 年 1 月 31 日 (31.01.2005)
- (25) 国際出願の言語: 日本語 (74) 代理人: 三反崎 泰司, 外 (MITAZAKI, Taiji et al.); 〒1600022 東京都新宿区新宿 1 丁目 9 番 5 号 大台ビル 2 F Tokyo (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願 2004-106098 2004 年 3 月 31 日 (31.03.2004) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
- (71) 出願人 (米国を除く全ての指定国について): T D K 株式会社 (TDK CORPORATION) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目 1 3 番 1 号 Tokyo (JP).

[続葉有]

(54) Title: NOISE CONTROL CIRCUIT

(54) 発明の名称: ノイズ抑制回路



(57) Abstract: A noise suppressing circuit capable of suppressing noise over a wide frequency range while reducing the size. The noise suppressing circuit comprises first and second inductors (51, 52) inserted in series in a first conductor (3), and a series circuit (15) of a third inductor (53) and a first capacitor (14). The series circuit (15) has one end connected between the first and second inductors (51, 52) and the other end connected to a second conductor (4). Even if the coupling coefficient k of the first and second inductors (51, 52) is smaller than 1, a damping characteristic substantially identical or similar to the ideal characteristic can be obtained by adjusting the value of the inductance ($L3$) of the third inductor (53) depending on the value of the coupling coefficient k .

(57) 要約: 広い周波数範囲においてノイズを抑制でき、かつ小型化が可能なノイズ抑制回路を実現する。ノイズ抑制回路は、第 1 の導電線 (3) に直列的に挿入された第 1 および第 2 のインダクタ (51), (52) と、直列に接続された第 3 のインダクタ (53) と第 1 のキャパシタ (14) とからなる直列回路 (15) とを備えている。直列回路 (15) の一端が、第 1 のインダクタ (51) と第 2 のインダクタ (52) との間に接続され、他端が第 2 の導電線 (4) に接続されている。第 1 のインダクタ (51) と第 2 のインダクタ (52) との結合係数 k が 1 より小さくとも、第 3 のインダクタ (53) のインダクタンス ($L3$) の値を結合係数 k の値に応じて調整することにより、減衰特性に関して、理想状態とほぼ同じ特性、もしくは似た傾向の特性が得られるようにしている。

WO 2005/101626 A1



SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

ノイズ抑制回路

技術分野

[0001] 本発明は、導電線上を伝搬するノイズを抑制するノイズ抑制回路に関する。

背景技術

[0002] スイッチング電源、インバータ、照明機器の点灯回路等のパワーエレクトロニクス機器は、電力の変換を行う電力変換回路を有している。電力変換回路は、直流を矩形波の交流に変換するスイッチング回路を有している。そのため、電力変換回路は、スイッチング回路のスイッチング周波数と等しい周波数のリップル電圧や、スイッチング回路のスイッチング動作に伴うノイズを発生させる。このリップル電圧やノイズは他の機器に悪影響を与える。そのため、電力変換回路と他の機器あるいは線路との間には、リップル電圧やノイズを低減する手段を設ける必要がある。

[0003] リップル電圧やノイズを低減する手段としては、インダクタンス素子（インダクタ）とキャパシタとを含むフィルタ、いわゆるLCフィルタがよく用いられている。LCフィルタには、インダクタンス素子とキャパシタとを1つずつ有するものの他に、T型フィルタや π 型フィルタ等がある。また、電磁妨害（EMI）対策用の一般的なノイズフィルタも、LCフィルタの一種である。一般的なEMIフィルタは、コモンモードチョークコイル、ノーマルモードチョークコイル、Xコンデンサ、Yコンデンサ等のディスクリート素子を組み合わせ構成されている。

[0004] また、最近、家庭内における通信ネットワークを構築する際に用いられる通信技術として電力線通信が有望視され、その開発が進められている。電力線通信は、電力線に高周波信号を重畳して通信を行う。この電力線通信では、電力線に接続された種々の電気・電子機器の動作によって、電力線上にノイズが発生し、このことが、エラーレートの増加等の通信品質の低下を招く。そのため、電力線上のノイズを低減する手段が必要になる。また、電力線通信では、屋内電力線上の通信信号が屋外電力線に漏洩することを阻止する必要がある。このような電力線上のノイズを低減したり、屋内電力線上の通信信号が屋外電力線に漏洩することを阻止する手段としても、L

Cフィルタが用いられている。

[0005] なお、2本の導電線を伝搬するノイズには、2本の導電線の間で電位差を生じさせるノーマルモード(ディファレンシャルモード)ノイズと、2本の導電線を同じ位相で伝搬するコモンモードノイズとがある。

[0006] 特開平9-102723号公報には、変圧器を用いたラインフィルタが記載されている。このラインフィルタは、変圧器とフィルタ回路とを備えている。変圧器の2次巻線は、交流電源から負荷に供給する電力を輸送する2本の導電線のうちの一方に挿入されている。フィルタ回路の2つの入力端は交流電源の両端に接続され、フィルタ回路の2つの出力端は変圧器の1次巻線の両端に接続されている。このラインフィルタでは、フィルタ回路によって電源電圧からノイズ成分を抽出し、このノイズ成分を変圧器の1次巻線に供給することによって、変圧器の2次巻線が挿入された導電線上において電源電圧からノイズ成分を差し引くようになっている。このラインフィルタは、ノーマルモードのノイズを低減する。

[0007] 特開平5-121988号公報(図1)には、3つのインピーダンス素子で構成されたローパスフィルタが記載されている。このローパスフィルタは、2本の導電線のうちの一方に直列に挿入された2つの高インピーダンス素子と、一端が2つの高インピーダンス素子の間に接続され、他端が2本の導電線のうちの他方に接続された低インピーダンス素子とを備えている。2つの高インピーダンス素子は、それぞれ、コイルと抵抗との並列接続回路で構成され、低インピーダンス素子はキャパシタで構成されている。このローパスフィルタは、ノーマルモードノイズを低減する。

[0008] 特許第2784783号公報(第6図)には、ノーマルモードノイズを低減するノーマルモードノイズ用フィルタ回路とコモンモードノイズを低減するコモンモードノイズ用フィルタ回路が記載されている。ノーマルモードノイズ用フィルタ回路は、2本の導電線のそれぞれに挿入された2つのコイルと、各コイルの巻線の途中同士を接続するキャパシタとで構成されている。コモンモードノイズ用フィルタ回路は、2本の導電線のそれぞれに挿入された2つのコイルと、各コイルの巻線の途中とアース間に設けられた2つのキャパシタとで構成されている。

[0009] 従来のLCフィルタでは、インダクタンスおよびキャパシタンスで決まる固有の共振

周波数を有するため、所望の減衰量を狭い周波数範囲でしか得ることができないという問題点があった。

[0010] また、電力輸送用の導電線に挿入されるフィルタには、電力輸送用の電流が流れている状態で所望の特性が得られることと、温度上昇に対する対策が要求される。そのため、通常、電力変換回路用のフィルタにおけるインダクタンス素子では、磁芯として、ギャップ付きのフェライト磁芯が用いられる。しかしながら、このようなインダクタンス素子では、その特性が、空芯のインダクタンス素子の特性に近づくため、所望の特性を実現するためにはインダクタンス素子が大型化するという問題点があった。

[0011] また、特開平9-102723号公報に記載されたラインフィルタでは、変圧器の結合係数が1であると共に、フィルタ回路がラインフィルタに影響を与えなければ、理論的には、ノイズ成分を完全に除去することができる。しかしながら、実際には、変圧器の結合係数を1にすることは不可能であり、結合係数の低下に伴い、減衰特性が悪化する。特に、キャパシタによってフィルタ回路を構成した場合には、このキャパシタと変圧器の1次巻線とによって直列共振回路が構成される。そのため、このキャパシタと変圧器の1次巻線とを含む信号の経路のインピーダンスは、直列共振回路の共振周波数近傍の狭い周波数範囲でのみ小さくなる。その結果、このラインフィルタでは、狭い周波数範囲でしかノイズ成分を除去することができない。これらのことから、実際に構成されたラインフィルタでは、広い周波数範囲においてノイズ成分を効果的に除去することができないという問題点がある。

[0012] また、特開平5-121988号公報(図1)に記載されたローパスフィルタも、特許第2784783号公報(第6図)に記載されたフィルタ回路も、ノイズ低減の原理は従来のLCフィルタと同様であるため、従来のLCフィルタと同様の問題点を有している。

[0013] ところで、各国では、電子機器から交流電源線を介して外部へ放出されるノイズ、すなわち雑音端子電圧に関して、種々の規制を設けている場合が多い。例えば、CISPR(国際無線障害特別委員会)の規格では、150kHz〜30MHzの周波数範囲で雑音端子電圧の規格が設定されている。このような広い周波数範囲においてノイズを低減する場合には、特に、1MHz以下の低い周波数の範囲におけるノイズの低減に関して、以下のような問題が発生する。すなわち、1MHz以下の低い周波数の範囲

では、コイルのインピーダンスの絶対値は、コイルのインダクタンスを L 、周波数を f として、 $2\pi fL$ で表される。したがって、一般に、1MHz以下の低い周波数の範囲におけるノイズを低減するには、大きなインダクタンスを有するコイルを含むフィルタが必要になる。その結果、フィルタが大型化する。

発明の開示

- [0014] 本発明はかかる問題点に鑑みてなされたもので、その目的は、広い周波数範囲においてノイズを抑制でき、かつ小型化が可能なノイズ抑制回路を提供することにある。
- [0015] 本発明の第1の観点に係るノイズ抑制回路は、第1および第2の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制する回路であって、第1の導電線に直列的に挿入され、かつ互いに磁気的に結合された第1および第2のインダクタと、直列に接続された第3のインダクタと第1のキャパシタとからなり、一端が第1のインダクタと第2のインダクタとの間に接続され、他端が第2の導電線に接続された直列回路とを備えているものである。そして、第1および第2のインダクタの結合係数 k が1よりも小さく、かつ第3のインダクタのインダクタンスが、結合係数 k が1よりも小さいことを条件として、所望のノイズ減衰特性が得られるような値に設定されているものである。
- [0016] 本発明の第1の観点に係るノイズ抑制回路において、第1および第2のインダクタは、互いに電磁気的に結合されているものである。第1および第2のインダクタは、それぞれを別々の巻線で形成してもよいし、単一の巻線で形成することも可能である。単一の巻線で形成する場合、例えば、単一の巻線の途中に接続点を設け、その巻線の一方の端部から接続点までを第1のインダクタ、巻線の他方の端部から接続点までを第2のインダクタとすればよい。この接続点に、直列回路の一端が接続される。また、本発明の第1の観点に係るノイズ抑制回路において、第1および第2のインダクタのインダクタンスは同一の値であってもよい。第1および第2のインダクタを単一の巻線で形成する場合、例えば単一の巻線の midpoint に上記接続点を設けることで、各インダクタンスを等しくすることができる。
- [0017] ここで、直列回路の一端が、第1および第2のインダクタに接続される接続部分を第

1の端部と呼び、第2の導電線に接続される他端の接続部分を第2の端部と呼ぶ。また、第1のインダクタにおける上記第1の端部とは逆側の端部を第1のインダクタの一方の端部と呼び、第1のインダクタにおける上記第1の端部側の端部を第1のインダクタの他方の端部と呼ぶ。また、第2のインダクタにおける上記第1の端部側の端部を第2のインダクタの一方の端部と呼び、第2のインダクタにおける上記第1の端部とは逆側の端部を第2のインダクタの他方の端部と呼ぶ。

[0018] 本発明の第1の観点に係るノイズ抑制回路では、第1のインダクタの一方の端部と第2の導電線における上記第2の端部との間にノーマルモードの電圧が印加されると、この電圧が第1のインダクタと直列回路とによって分圧され、第1のインダクタの両端間と直列回路の両端間とにそれぞれ同一向きの所定の電圧が発生する。第1のインダクタと第2のインダクタは互いに電磁氣的に結合されているので、第1のインダクタの両端間に発生した電圧に応じて、第2のインダクタの両端間に所定の電圧が発生する。ここで、直列回路の一端は第1のインダクタと第2のインダクタとの間に接続されていることから、第2のインダクタの両端間に発生する電圧の向きは、直列回路の両端間に発生する電圧の向きとは逆方向となり、それらの電圧が互いに相殺される。その結果、第2のインダクタの他方の端部と上記第2の端部との間の電圧は、第1のインダクタの一方の端部と上記第2の端部との間に印加された電圧よりも小さくなる。

また、本発明の第1の観点に係るノイズ抑制回路において、第2のインダクタの他方の端部と第2の導電線における上記第2の端部との間にノーマルモードの電圧が印加された場合も、上記の説明と同様にして、第1のインダクタの一方の端部と上記第2の端部との間の電圧は、第2のインダクタの他方の端部と上記第2の端部との間に印加された電圧よりも小さくなる。

[0019] ここで、本発明の第1の観点に係るノイズ抑制回路では、第3のインダクタのインダクタンスが、結合係数 k が1よりも小さいことを条件として、所望のノイズ減衰特性が得られるような値に設定されているため、例えばノイズの減衰量の周波数特性に関して、理想状態とほぼ同じ特性、もしくは似た傾向の特性、または部分的に理想状態よりも優れた特性が得られる。ここで、理想状態とは、結合係数 $k=1$ と仮定して、各インダクタンス $L1-L3$ の値の最適化を図った状態のことをいう。例えば $L1$ 、 $L2$ を共に同じ

値 L_0 とし、 L_3 も同じ値 L_0 とした状態のことをいう。

- [0020] 本発明の第1の観点に係るノイズ抑制回路において、特に、第3のインダクタのインダクタンス L_3 を、以下の条件を満たすようにした場合には、ノイズの減衰量の周波数特性に関して、理想状態とほぼ同じ特性が得られる。

$$L_3 = k(L_1 \cdot L_2)^{1/2} \quad \dots\dots (1)$$

(ただし、 L_1 :第1のインダクタのインダクタンス、 L_2 :第2のインダクタのインダクタンス)

- [0021] また特に、第3のインダクタのインダクタンス L_3 を、以下の条件を満たすようにした場合には、ノイズの減衰量の周波数特性に関して、理想状態のときにはなかった共振点を得られる。これにより、カットオフ周波数より高い周波数領域において部分的に、理想状態の場合よりも減衰特性が良くなる領域が生じる。

$$L_3 > k(L_1 \cdot L_2)^{1/2} \text{であり、かつ}$$

$$L_3 \leq (L_1 + M)(L_2 + M) / (L_1 + L_2 + 2M) + M \quad \dots\dots (2)$$

(ただし、 $M = k(L_1 \cdot L_2)^{1/2}$ 、 L_1 :第1のインダクタのインダクタンス、 L_2 :第2のインダクタのインダクタンス)

- [0022] また特に、第3のインダクタのインダクタンス L_3 を、以下の条件を満たすようにした場合には、ノイズの減衰量の周波数特性に関して、理想状態のときと似た傾向の特性が得られる。

$$L_3 < k(L_1 \cdot L_2)^{1/2} \text{であり、かつ}$$

$$L_3 \geq 0.9k(L_1 \cdot L_2)^{1/2} \quad \dots\dots (3)$$

(ただし、 L_1 :第1のインダクタのインダクタンス、 L_2 :第2のインダクタのインダクタンス)

- [0023] 本発明の第2の観点に係るノイズ抑制回路は、第1および第2の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制する回路であって、第1の導電線に直列的に挿入され、かつ互いに磁氣的に結合された第1および第2のインダクタと、直列に接続された第3のインダクタと第1のキャパシタとからなる直列回路と、第2の導電線に直列的に挿入され、かつ互いに磁氣的に結合された第4および第5のインダクタとを備え、直列回路の一端が、第1のインダクタと

第2のインダクタとの間に接続され、他端が第4のインダクタと第5のインダクタとの間に接続されているものである。そして、第1および第2のインダクタの結合係数 k_1 と第4および第5のインダクタの結合係数 k_2 とが1よりも小さく、かつ第3のインダクタのインダクタンスが、結合係数 k_1 、 k_2 が1よりも小さいことを条件として、所望のノイズ減衰特性が得られるような値に設定されているものである。

[0024] 本発明の第2の観点に係るノイズ抑制回路において、第1および第2のインダクタは、上記第1の観点に係るノイズ抑制回路と同様、互いに電磁氣的に結合されているものであり、それぞれを別々の巻線で形成してもよいし、単一の巻線で形成することも可能である。第4および第5のインダクタも、同様に構成することができる。第4および第5のインダクタを単一の巻線で形成する場合、例えば、単一の巻線の途中に接続点を設け、その巻線の一方の端部から接続点までを第4のインダクタ、巻線の他方の端部から接続点までを第5のインダクタとすればよい。この接続点に、直列回路の他端が接続される。本発明の第2の観点に係るノイズ抑制回路において、第4および第5のインダクタのインダクタンスが同一の値であってもよい。第4および第5のインダクタを単一の巻線で形成する場合、例えば単一の巻線の中点に上記接続点を設けることで、各インダクタンスを等しくすることができる。

[0025] ここで、直列回路の一端が、第1および第2のインダクタに接続される接続部分を第1の端部と呼び、第4および第5のインダクタに接続される他端の接続部分を第2の端部と呼ぶ。また、第1のインダクタにおける上記第1の端部とは逆側の端部を第1のインダクタの一方の端部と呼び、第1のインダクタにおける上記第1の端部側の端部を第1のインダクタの他方の端部と呼ぶ。また、第2のインダクタにおける上記第1の端部側の端部を第2のインダクタの一方の端部と呼び、第2のインダクタにおける上記第1の端部とは逆側の端部を第2のインダクタの他方の端部と呼ぶ。また、第4のインダクタにおける上記第2の端部とは逆側の端部を第4のインダクタの一方の端部と呼び、第4のインダクタにおける上記第2の端部側の端部を第4のインダクタの他方の端部と呼ぶ。また、第5のインダクタにおける上記第2の端部側の端部を第5のインダクタの一方の端部と呼び、第5のインダクタにおける上記第2の端部とは逆側の端部を第5のインダクタの他方の端部と呼ぶ。

[0026] 本発明の第2の観点に係るノイズ抑制回路では、第1のインダクタの一方の端部と第4のインダクタの一方の端部との間にノーマルモードの電圧が印加されると、この電圧が第1のインダクタと直列回路と第4のインダクタとによって分圧され、第1のインダクタの両端間と直列回路の両端間と第4のインダクタの両端間とにそれぞれ所定の電圧が発生する。第1のインダクタと第2のインダクタは互いに電磁氣的に結合されているので、第1のインダクタの両端間に発生した電圧に応じて、第2のインダクタの両端間に所定の電圧が発生する。同様に、第4のインダクタと第5のインダクタは互いに電磁氣的に結合されているので、第4のインダクタの両端間に発生した電圧に応じて、第5のインダクタの両端間に所定の電圧が発生する。ここで、直列回路の一端は第1のインダクタと第2のインダクタとの間に接続されると共に、他端が第4のインダクタと第5のインダクタとの間に接続されていることから、第2のインダクタの両端間に発生する電圧の向きと第5のインダクタの両端間に発生する電圧の向きとが、直列回路の両端間に発生する電圧の向きとは逆方向となり、それらの電圧が互いに相殺される。その結果、第2のインダクタの他方の端部と第5のインダクタの他方の端部との間の電圧は、第1のインダクタの一方の端部と第4のインダクタの一方の端部との間に印加された電圧よりも小さくなる。

また、本発明の第2の観点に係るノイズ抑制回路において、第2のインダクタの他方の端部と第5のインダクタの他方の端部との間にノーマルモードの電圧が印加された場合も、上記の説明と同様にして、第1のインダクタの一方の端部と第4のインダクタの一方の端部との間の電圧は、第2のインダクタの他方の端部と第5のインダクタの他方の端部との間に印加された電圧よりも小さくなる。

[0027] ここで、本発明の第2の観点に係るノイズ抑制回路では、第3のインダクタのインダクタンスが、結合係数 k_1 , k_2 が1よりも小さいことを条件として、所望のノイズ減衰特性が得られるような値に設定されているので、ノイズの減衰量の周波数特性に関して、例えば理想状態とほぼ同じ特性、もしくは似た傾向の特性、または部分的に理想状態よりも優れた特性が得られる。ここで、理想状態とは、結合係数 $k_1 = 1$, $k_2 = 1$ と仮定して、各インダクタンス $L_1 \sim L_5$ の値の最適化を図った状態のことをいう。例えば L_1 , L_2 および L_4 , L_5 を共に同じ値 L_0 とし、 L_3 を L_0 の2倍の値とした状態のことをいう。

- [0028] 本発明の第2の観点に係るノイズ抑制回路において、特に、第3のインダクタのインダクタンス L_3 を、以下の条件を満たすようにした場合には、ノイズの減衰量の周波数特性に関して、理想状態とほぼ同じ特性が得られる。

$L_3 = M_1 + M_2$ であり、かつ

$$M_1 = k_1 (L_1 \cdot L_2)^{1/2} \quad \dots\dots (4-1)$$

$$M_2 = k_2 (L_4 \cdot L_5)^{1/2} \quad \dots\dots (4-2)$$

(ただし、 L_1 :第1のインダクタのインダクタンス、 L_2 :第2のインダクタのインダクタンス、 L_4 :第4のインダクタのインダクタンス、 L_5 :第5のインダクタのインダクタンス)

- [0029] また特に、第3のインダクタのインダクタンス L_3 を、以下の条件を満たすようにした場合には、ノイズの減衰量の周波数特性に関して、理想状態のときにはなかった共振点を得られる。これにより、共振点より高い周波数領域において部分的に、理想状態の場合よりも減衰特性が良くなる領域が生じる。

$L_3 > M_1 + M_2$ であり、かつ

$$L_3 \leq (L_1 + L_4 + M_1 + M_2) (L_2 + L_5 + M_1 + M_2) / \{L_1 + L_2 + L_4 + L_5 + 2(M_1 + M_2)\} + M_1 + M_2 \quad \dots\dots (5)$$

(ただし、 $M_1 = k_1 (L_1 \cdot L_2)^{1/2}$ 、 $M_2 = k_2 (L_4 \cdot L_5)^{1/2}$ 、 L_1 :第1のインダクタのインダクタンス、 L_2 :第2のインダクタのインダクタンス、 L_4 :第4のインダクタのインダクタンス、 L_5 :第5のインダクタのインダクタンス)

- [0030] また特に、第3のインダクタのインダクタンス L_3 を、以下の条件を満たすようにした場合には、ノイズの減衰量の周波数特性に関して、理想状態のときと似た傾向の特性が得られる。

$L_3 < M_1 + M_2$ であり、かつ

$$L_3 \geq 0.9(M_1 + M_2) \quad \dots\dots (6)$$

(ただし、 $M_1 = k_1 (L_1 \cdot L_2)^{1/2}$ 、 $M_2 = k_2 (L_4 \cdot L_5)^{1/2}$ 、 L_1 :第1のインダクタのインダクタンス、 L_2 :第2のインダクタのインダクタンス、 L_4 :第4のインダクタのインダクタンス、 L_5 :第5のインダクタのインダクタンス)

- [0031] 本発明の第3の観点に係るノイズ抑制回路は、第1および第2の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制する

回路であって、第1の導電線に直列的に挿入され、かつ互いに磁氣的に結合された第1および第2のインダクタと、直列に接続された第3のインダクタと第1のキャパシタとからなる直列回路と、第2の導電線に直列的に挿入され、かつ第1および第2のインダクタと共に互いに磁氣的に結合された第4および第5のインダクタとを備え、直列回路の一端が、第1のインダクタと第2のインダクタとの間に接続され、他端が第4のインダクタと第5のインダクタとの間に接続されているものである。そして、第1および第2のインダクタの結合係数 k_1 と、第4および第5のインダクタの結合係数 k_2 と、第1および第4のインダクタの結合係数 k_3 と、第2および第5のインダクタの結合係数 k_4 と、第1および第5のインダクタの結合係数 k_5 と、第2および第4のインダクタの結合係数 k_6 とがすべて1よりも小さく、かつ第3のインダクタのインダクタンスが、結合係数 k_1 , k_2 , k_3 , k_4 , k_5 , および k_6 がすべて1よりも小さいことを条件として、所望のノイズ減衰特性が得られるような値に設定されているものである。

[0032] 本発明の第3の観点に係るノイズ抑制回路は、第1の導電線上の第1および第2のインダクタと第2の導電線上の第4および第5のインダクタとが相互に磁氣的に結合されていることが異なるものの、ノイズ抑制の基本的な動作は上記第2の観点に係るノイズ抑制回路と同様である。

[0033] この第3の観点に係るノイズ抑制回路では、第3のインダクタのインダクタンスが、結合係数 k_1 , k_2 , k_3 , k_4 , k_5 , および k_6 がすべて1よりも小さいことを条件として、所望のノイズ減衰特性が得られるような値に設定されているので、ノイズの減衰量の周波数特性に関して、例えば理想状態とほぼ同じ特性、もしくは似た傾向の特性、または部分的に理想状態よりも優れた特性が得られる。ここで、理想状態とは、結合係数 $k_1 \sim k_6 = 1$ と仮定して、各インダクタンス $L_1 \sim L_5$ の値の最適化を図った状態のことをいう。例えば L_1 , L_2 および L_4 , L_5 を共に同じ値 L_0 とし、 L_3 を L_0 の4倍の値とした状態のことをいう。

[0034] 本発明の第3の観点に係るノイズ抑制回路において、特に、第3のインダクタのインダクタンス L_3 を、以下の条件を満たすようにした場合には、ノイズの減衰量の周波数特性に関して、理想状態とほぼ同じ特性が得られる。

$$L_3 = M_1 + M_2 + M_5 + M_6 \text{ であり、かつ}$$

$$M1 = k1 (L1 \cdot L2)^{1/2} \dots\dots (7-1)$$

$$M2 = k2 (L4 \cdot L5)^{1/2} \dots\dots (7-2)$$

$$M5 = k5 (L1 \cdot L5)^{1/2} \dots\dots (7-3)$$

$$M6 = k6 (L2 \cdot L4)^{1/2} \dots\dots (7-4)$$

(ただし、L1:第1のインダクタのインダクタンス、L2:第2のインダクタのインダクタンス、L4:第4のインダクタのインダクタンス、L5:第5のインダクタのインダクタンス)

[0035] また特に、第3のインダクタのインダクタンスL3を、以下の条件を満たすようにした場合には、ノイズの減衰量の周波数特性に関して、理想状態のときにはなかった共振点を得られる。これにより、共振点より高い周波数領域において部分的に、理想状態の場合よりも減衰特性が良くなる領域が生じる。

$L3 > M1 + M2 + M5 + M6$ であり、かつ

$$L3 \leq (L1 + L4 + M1 + M2 + 2M3 + M5 + M6) (L2 + L5 + M1 + M2 + 2M4 + M5 + M6) / \{L1 + L2 + L4 + L5 + 2(M1 + M2 + M3 + M4 + M5 + M6)\} + M1 + M2 + M5 + M6 \dots\dots (8)$$

(ただし、 $M1 = k1 (L1 \cdot L2)^{1/2}$ 、 $M2 = k2 (L4 \cdot L5)^{1/2}$ 、 $M5 = k5 (L1 \cdot L5)^{1/2}$ 、 $M6 = k6 (L2 \cdot L4)^{1/2}$ 、L1:第1のインダクタのインダクタンス、L2:第2のインダクタのインダクタンス、L4:第4のインダクタのインダクタンス、L5:第5のインダクタのインダクタンス)

[0036] また特に、第3のインダクタのインダクタンスL3を、以下の条件を満たすようにした場合には、ノイズの減衰量の周波数特性に関して、理想状態のときと似た傾向の特性を得られる。

$L3 < M1 + M2 + M5 + M6$ であり、かつ

$$L3 \geq 0.9 (M1 + M2 + M5 + M6) \dots\dots (9)$$

(ただし、 $M1 = k1 (L1 \cdot L2)^{1/2}$ 、 $M2 = k2 (L4 \cdot L5)^{1/2}$ 、 $M5 = k5 (L1 \cdot L5)^{1/2}$ 、 $M6 = k6 (L2 \cdot L4)^{1/2}$ 、L1:第1のインダクタのインダクタンス、L2:第2のインダクタのインダクタンス、L4:第4のインダクタのインダクタンス、L5:第5のインダクタのインダクタンス)

[0037] なお、各観点に係るノイズ抑制回路において、第1の導電線、第2の導電線の例と

しては、単相2線式電力線における各導電線がある他、現在、電力供給のために多く用いられている単相3線式電力線における3線のうちの2線がある。

- [0038] 本発明の各観点に係るノイズ抑制回路によれば、広い周波数範囲においてノイズを抑制でき、かつ小型化が可能となる。特に、直列回路におけるインダクタンス L_3 を、結合係数が1よりも小さいことを条件として適切な値に設定するようにしたので、ノイズの減衰量の周波数特性に関して、例えば理想状態とほぼ同じ特性、もしくは似た傾向の特性、または部分的に理想状態よりも優れた特性を得ることができる。

図面の簡単な説明

- [0039] [図1A]本発明の第1の実施の形態に係るノイズ抑制回路の第1の構成例を示す回路図である。
- [図1B]本発明の第1の実施の形態に係るノイズ抑制回路の第2の構成例を示す回路図である。
- [図2]第1および第2のインダクタの実際の構成例を示す図である。
- [図3]本発明の第1の実施の形態に係るノイズ抑制回路の特性を求めるための第1のシミュレーションに用いた回路構成を示す図である。
- [図4]第1のシミュレーション結果を示す特性図である。
- [図5]本発明の第1の実施の形態に係るノイズ抑制回路の特性を求めるための第2のシミュレーションに用いた回路構成を示す図である。
- [図6]第2のシミュレーション結果を示す特性図である。
- [図7]本発明の第1の実施の形態に係るノイズ抑制回路の特性を求めるための第3のシミュレーションに用いた回路構成を示す図である。
- [図8]第3のシミュレーション結果を示す特性図である。
- [図9A]本発明の第2の実施の形態に係るノイズ抑制回路の第1の構成例を示す回路図である。
- [図9B]本発明の第2の実施の形態に係るノイズ抑制回路の第2の構成例を示す回路図である。
- [図10]第1および第2のインダクタ、ならびに第5および第6のインダクタの実際の構成例を示す図である。

[図11A]本発明の第2の実施の形態に係るノイズ抑制回路の第1の変形例を示す回路図である。

[図11B]本発明の第2の実施の形態に係るノイズ抑制回路の第2の変形例を示す回路図である。

[図12]本発明の第2の実施の形態に係るノイズ抑制回路の特性を求めるためのシミュレーションに用いた回路構成を示す図である。

[図13]本発明の第2の実施の形態に係るノイズ抑制回路における減衰特性のシミュレーション結果を示す特性図である。

[図14]結合係数の測定方法についての説明図である。

[図15A]本発明の第3の実施の形態に係るノイズ抑制回路の第1の構成例を示す回路図である。

[図15B]本発明の第3の実施の形態に係るノイズ抑制回路の第2の構成例を示す回路図である。

[図16]本発明の第3の実施の形態に係るノイズ抑制回路における各インダクタ間の結合係数についての説明図である。

[図17]本発明の第3の実施の形態に係るノイズ抑制回路における減衰特性のシミュレーション結果を示す特性図である。

[図18]図17のシミュレーションに用いたノイズ抑制回路の等価回路を示す回路図である。

発明を実施するための最良の形態

[0040] 以下、本発明の実施の形態について図面を参照して詳細に説明する。

[0041] [第1の実施の形態]

まず、本発明の第1の実施の形態に係るノイズ抑制回路について説明する。本実施の形態に係るノイズ抑制回路は、2本の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモード(ディファレンシャルモード)ノイズを抑制する回路である。

[0042] 図1A、1Bは、本実施の形態に係るノイズ抑制回路の第1および第2の構成例を示している。このノイズ抑制回路は、一対の端子1a、1bと、他の一対の端子2a、2bと、

端子1a, 2a間を接続する第1の導電線3と、端子1b, 2b間を接続する第2の導電線4とを備えている。ノイズ抑制回路はさらに、第1の導電線3に直列的に挿入された第1および第2のインダクタ51, 52を備えている。ノイズ抑制回路はまた、直列に接続された第3のインダクタ53と第1のキャパシタ14とからなる直列回路15を備えている。直列回路15の一端は、第1のインダクタ51と第2のインダクタ52との間に接続され、他端が第2の導電線4に接続されている。

[0043] ここで、直列回路15の一端が、第1および第2のインダクタ51, 52に接続される接続部分を第1の端部P1と呼び、第2の導電線4に接続される他端の接続部分を第2の端部P2と呼ぶ。また、第1のインダクタ51における第1の端部P1とは逆側の端部を第1のインダクタ51の一方の端部と呼び、第1のインダクタ51における第1の端部P1側を第1のインダクタ51の他方の端部と呼ぶ。また、第2のインダクタ52における第1の端部P1側を第2のインダクタ52の一方の端部と呼び、第2のインダクタ52における第1の端部P1とは逆側の端部を第2のインダクタ52の他方の端部と呼ぶ。

[0044] 直列回路15において、第3のインダクタ53は、磁芯13bに巻かれた巻線13aを有している。直列回路15において、第1のキャパシタ14は、周波数が所定値以上のノーマルモード信号を通過させるハイパスフィルタとして機能する。

[0045] なお、直列回路15内において、第3のインダクタ53と第1のキャパシタ14の位置関係は、特に限定されない。図1Aは、第3のインダクタ53と第1のキャパシタ14のうち、第3のインダクタ53の方が第1の端部P1に近い位置に配置され、第1のキャパシタ14の方が第2の端部P2に近い位置に配置されている構成例である。図1Bは、逆に、第1のキャパシタ14の方が第1の端部P1に近い位置に配置され、第3のインダクタ53の方が第2の端部P2に近い位置に配置されている構成例である。

[0046] 第1および第2のインダクタ51, 52は、互いに電磁氣的に結合されている。第1のインダクタ51は、磁芯12aに巻かれた巻線11aを有している。第2のインダクタ52は、磁芯12bに巻かれた巻線11bを有している。なお、図において各巻線に記した黒い丸印はその巻線の極性、巻き方の向きを表す。第1および第2のインダクタ51, 52の極性は図示したように同一方向となっている。

第1および第2のインダクタ51, 52は、このようにそれぞれ別々の巻線11a, 11bで

形成してもよいが、図2に示したように単一の巻線11で形成することも可能である。巻線11は、磁芯12に巻かれている。なお、図2では、第1および第2のインダクタ51, 52以外の回路は図示を省略している。

- [0047] 第1および第2のインダクタ51, 52を単一の巻線で形成する場合、図2に示したように例えば、単一の巻線11の途中に接続点(第1の端部P1)を設け、その巻線11の一方の端部から接続点までを巻線11aとして第1のインダクタ51とすればよい。同様に、巻線11の他方の端部から接続点までを巻線11bとして第2のインダクタ52とすればよい。この接続点に、直列回路15の一端を接続する。
- [0048] 第1および第2のインダクタ51, 52のインダクタンスは同一の値であることが好ましい。第1および第2のインダクタ51, 52を単一の巻線11で形成する場合、例えば単一の巻線11の midpoint に上記接続点を設けることで、各インダクタンスを等しくすることができる。
- [0049] ここで、上述したように第1および第2のインダクタ51, 52は、互いに電磁氣的に結合されており、その結合係数 k は理想的には1となる。しかしながら、実際には結合係数が1というのは実現できず、結合状態が比較的良い状態でも、0.998などの値となる。さらに、コアの材質、巻き数、巻き方などにより結合係数は影響され、結合状態が悪い場合には0.4位にまで低下してしまう。例えば巻き数が少ないほど、結合係数が小さくなりやすい。また磁心の透磁率が小さいほど、結合係数が小さくなりやすい。この場合、結合係数を1とみなして各回路素子の値を決定すると、当初期待していた減衰量を得ることができないといった問題が生じる。
- [0050] したがって、各回路素子の値は、実際の結合係数の値に応じて決定することが好ましい。本実施の形態に係るノイズ抑制回路では、第1および第2のインダクタ51, 52の結合係数 k の値が実際には1よりも小さくなることを考慮し、特に第3のインダクタ53のインダクタンス L_3 が、結合係数 k が1よりも小さいことを条件として、所望のノイズ減衰特性が得られるよう、実際の結合係数 k の値に応じた値に設定されている。なお、結合係数の低下による減衰特性の変化、およびそれを考慮したインダクタンス L_3 の値の決定方法については後に詳述する。
- [0051] 次に、本実施の形態に係るノイズ抑制回路の作用について説明する。ここでは、図

1Aの構成例を基本にして説明する。始めに、図1Aに示したように、端子1a, 1b間にノーマルモードの電圧 V_i が印加された場合について説明する。この場合には、第1のインダクタ51の一方の端部と第2の端部P2との間に電圧 V_i が印加される。この電圧 V_i は、第1のインダクタ51と直列回路15とによって分圧され、第1のインダクタ51の両端間と直列回路15の両端間とにそれぞれ同一向きの所定の電圧が発生する。なお、図中の矢印は、その先の方が高い電位であることを表している。第1のインダクタ51と第2のインダクタ52は互いに電磁氣的に結合されているので、第1のインダクタ51の両端間に発生した電圧に応じて、第2のインダクタ52の両端間に所定の電圧が発生する。ここで、直列回路15の一端は第1のインダクタ51と第2のインダクタ52との間に接続されていることから、第2のインダクタ52の両端間に発生する電圧の向きは、直列回路15の両端間に発生する電圧の向きとは逆方向となり、それらの電圧が互いに相殺される。その結果、第2のインダクタ52の他方の端部と第2の端部P2との間の電圧、すなわち端子2a, 2b間の電圧 V_o は、第1のインダクタ51の一方の端部と第2の端部P2との間に印加された電圧 V_i よりも小さくなる。

[0052] また、本実施の形態において、端子2a, 2b間にノーマルモードの電圧が印加された場合も、上記の説明と同様にして、端子1a, 1b間の電圧は、端子2a, 2b間に印加された電圧よりも小さくなる。このように、本実施の形態に係るノイズ抑制回路によれば、端子1a, 1bにノーマルモードノイズが印加された場合と、端子2a, 2bにノーマルモードノイズが印加された場合のいずれの場合にも、ノーマルモードノイズを抑制することができる。

[0053] 次に、特に、理想状態での作用について説明する。ここで、本実施の形態に係るノイズ抑制回路において、理想状態とは、第1および第2のインダクタ51, 52の結合係数 $k=1$ と仮定して、各素子値の最適化を図った状態のことをいう。ここでは特に、第1および第2のインダクタ51, 52のインダクタンス L_1, L_2 を共に同じ値 L_0 とし、第3のインダクタ53のインダクタンス L_3 も同じ値 L_0 とする。キャパシタ14のインピーダンスはゼロであると仮定する。

[0054] この場合、端子1a, 1b間にノーマルモードの電圧 V_i が印加されると、この電圧 V_i は、第1のインダクタ51と第3のインダクタ53とによって分圧され、第1のインダクタ51の

両端間と第3のインダクタ53の両端間とにそれぞれ同一向きの $1/2V_i$ の電圧が発生する。第1のインダクタ51の両端間に発生した電圧 $1/2V_i$ に応じて、第2のインダクタ52の両端間にも電圧 $1/2V_i$ が発生する。その結果、端子2a, 2b間の電圧 V_o は、第2のインダクタ52の両端間の電圧 $1/2V_i$ と第3のインダクタ53の両端間の電圧 $1/2V_i$ とが互いに逆向きであることから相殺され、原理的にはゼロとなる。また、端子2a, 2b間にノーマルモードの電圧 V_i が印加された場合も、上記の説明と同様にして、端子1a, 1b間の電圧は、原理的にはゼロとなる。

[0055] ここで、上述のように第1および第2のインダクタ51, 52のインダクタンス L_1 , L_2 、および第3のインダクタ53のインダクタンス L_3 の各インダクタンスが共に L_0 で等しい場合について考える。これは、例えば第1および第2のインダクタ51, 52の巻線11a, 11b、および第3のインダクタ53の巻線13aの各巻線を等しくすることで実現することができる。この場合、巻線のインダクタンスは巻数の二乗に比例することから、巻線11a, 11bを合わせた全体の巻線11のインダクタンスは、第3のインダクタ53のインダクタンス L_3 の4倍となる。言い換えると、第3のインダクタ53のインダクタンス L_3 は、巻線11のインダクタンスの $1/4$ となる。このように、理想状態では、第3のインダクタ53は、インダクタンスの小さなもので済む。

[0056] 次に、結合係数の低下による減衰特性の変化を、以下の第1のシミュレーションの結果により具体的に説明する。図3は、第1のシミュレーションに用いたノイズ抑制回路の等価回路を示している。なお、 R_a , R_b は、入出力インピーダンスとして設定したものである。例えば、 R_a が電源系統側の入出力インピーダンス、 R_b が機器側の入出力インピーダンスに相当する。このシミュレーションでは、 R_b 側を測定機器側として設定している。図3において、各回路記号の近傍にはシミュレーションに用いた各回路素子の素子値を記す。図示したように、第1および第2のインダクタ51, 52のインダクタンス L_1 , L_2 、ならびに第3のインダクタ53のインダクタンス L_3 を共に、同じ値($1\mu\text{H}$)に設定した。このような回路において、第1および第2のインダクタ51, 52の結合係数 k の値を、理想値の1から0.8まで順次低下させた場合の減衰特性を計算した。

[0057] 図4は、そのシミュレーション結果を示している。これは、ノイズ抑制回路におけるノーマルモードノイズの減衰量の周波数特性をグラフ化して示したものである。なお、

図4において、横軸は周波数(Hz)を表し、縦軸は利得(ゲイン)(dB)を表している。ゲインが小さいほど、すなわち、マイナス方向のゲインの絶対値が大きいほど、ノイズの減衰量は大きい。図4において、符号61で示した線は結合係数 $k=1$ とした場合、符号62で示した線は結合係数 $k=0.998$ とした場合、符号63で示した線は結合係数 $k=0.98$ とした場合、符号64で示した線は結合係数 $k=0.9$ とした場合、符号65で示した線は結合係数 $k=0.8$ とした場合のシミュレーション結果を示している。

[0058] 図4から、理想状態($k=1$)では、減衰極のない減衰特性が得られるのに対し、 k が1よりも小さい場合では減衰極62A〜65Aが生じている。この減衰極は、第1および第2のインダクタ51, 52の相互インダクタンスと第3のインダクタ53と第1のキャパシタ14とで形成される共振点に相当する。この共振点は、結合係数 k の値が低下するほど、低周波側に移動している。これにより、結合係数 k の値が低下するほど、共振点より高周波側で、理想状態に比べて当初期待していた減衰量を得ることができなくなるといった問題が生じる。

[0059] そこで、本実施の形態に係るノイズ抑制回路では、結合係数 k が1より小さくとも、第3のインダクタ53のインダクタンス $L3$ の値を結合係数 k の値に応じて調整することにより、減衰特性に関して、理想状態とほぼ同じ特性、もしくは似た傾向の特性が得られるようにしている。または、任意の周波数に共振点を作ること、部分的に理想状態よりも優れた特性が得られるようにしている。

[0060] 次に、このインダクタンス $L3$ の値による減衰特性の変化を、以下の第2のシミュレーションの結果により具体的に説明する。図5は、第2のシミュレーションに用いたノイズ抑制回路の等価回路を示している。この回路において、結合係数 $k=0.8$ として、インダクタンス $L3$ の値を種々変化させた場合の減衰特性を計算した。その他の回路素子の値は、図3の回路と同様である。

[0061] 図6は、そのシミュレーション結果を示している。これは、図4と同様、ノーマルモードノイズの減衰量の周波数特性をグラフ化して示したものである。図6には、比較のため理想状態($k=1$, $L3=1\mu\text{H}$)での計算結果も示す。図6において、符号70で示した線は理想状態の場合、符号71で示した線は $L3=8.0\mu\text{H}$ とした場合、符号72で示した線は $L3=0.81\mu\text{H}$ とした場合、符号73で示した線は $L3=0.801\mu\text{H}$ とした

場合、符号74で示した線は $L3=0.8001\mu\text{H}$ とした場合、符号75で示した線は $L3=0.8\mu\text{H}$ とした場合、符号76で示した線は $L3=0.7999\mu\text{H}$ とした場合、符号77で示した線は $L3=0.799\mu\text{H}$ とした場合、符号78で示した線は $L3=0.79\mu\text{H}$ とした場合、符号79で示した線は $L3=0.08\mu\text{H}$ とした場合のシミュレーション結果を示している。

[0062] 図6のシミュレーション結果から、インダクタンス $L3$ の値とその減衰特性との関係に関して以下のことが言える。まず、 $L1=L2=L0$ の場合について述べる。インダクタンス $L3$ の値により、おおきく以下の3つの条件(A)～(C)に分けられる。

[0063] (A) $L3=k\cdot L0$ のとき。

図6のシミュレーションでは、符号75で示した線が該当する($L3=0.8\times 1.0\mu\text{H}=0.8\mu\text{H}$)。この場合、 k が1未満であっても、減衰特性に関して理想状態($k=1.0$, $L3=L0$)とほぼ同じ特性が得られる。

[0064] (B) $L3>k\cdot L0$ のとき。

図6のシミュレーションでは、符号71～74で示した線が該当する($L3>0.8\mu\text{H}$)。この場合、理想状態のときにはなかった共振点が現れる。そして、その共振周波数 $f0$ は、

$$f0=1/2\pi\sqrt{C(L3-k\cdot L0)}$$

と求められる。 $\sqrt{}$ は、 $C(L3-k\cdot L0)$ 全体の平方根を取ることを示す。 C は、直列回路15の第1のキャパシタ14のキャパシタンスを示す。したがってこの場合、 $L3$ の値を変えることにより、共振周波数を任意の周波数に移動できる。この共振点を設けた場合、カットオフ周波数より高い周波数領域において部分的に、理想状態の場合よりも減衰特性が良くなる領域が生じる。すなわち、図6からも分かるようにカットオフ周波数より高い周波数でかつ理想状態の特性と一致するまでの周波数帯では、理想状態の特性よりも減衰特性が良くなる領域が生じる。

この場合において、インダクタンス $L3$ の最大値としては、上式で求められる共振周波数 $f0$ が理想状態のカットオフ周波数以上であることが望ましいという条件より、

$$L3\leq (1/2+3/2k)\cdot L0 \quad \cdots\cdots (2a)$$

であることが望ましい。図6のシミュレーションでは、符号72～74で示した線が、この

望ましい条件を満たしている ($L3 \leq 1.7 \mu H$)。

[0065] (C) $L3 < k \cdot L0$ のとき。

図6のシミュレーションでは、符号76〜79で示した線が該当する ($L3 < 0.8 \mu H$)。この場合、図6の減衰特性からも分かるように、理想状態のときと似た傾向の特性が得られ、特に、ある状態までは理想状態とほぼ同じ特性を示し、ある周波数以上から減衰特性が悪化する。このため、理想状態とほぼ同じ周波数範囲で使用するならば、 $L3$ をこの条件値にすることにメリットがある。

この場合において、インダクタンス $L3$ の最小値としてはシミュレーションから、

$$L3 \geq 0.9k(L1 \cdot L2)^{1/2} \dots\dots (3a)$$

であることが望ましい。図6のシミュレーションでは、符号76〜78で示した線が、この望ましい条件を満たしている ($L3 \geq 0.72 \mu H$)。

[0066] ここで、上記式(2a)、(3a)によって求められるインダクタンス $L3$ の最大値、最小値での特性をシミュレーションによって計算した。図7は、このシミュレーションに用いたノイズ抑制回路の等価回路を示している。この等価回路において、第1および第2のインダクタ51、52のインダクタンス $L1$ 、 $L2$ は共に、 $L0 = 10 \mu H$ に設定した。また結合係数 k は0.8とした。この場合、上記式(2a)から求められるインダクタンス $L3$ の最大値は、

$$L3 = (1/2 + 3/2 \times k) \times L0 = 17 \mu H$$

となる。また、式(3a)から求められるインダクタンス $L3$ の最小値は、

$$L3 = 0.9k \times L0 = 7.2 \mu H$$

となる。インダクタンス $L3$ の値を、これら最大値、最小値に設定した場合の減衰特性を計算した。

[0067] 図8は、そのシミュレーション結果を示している。比較のため、理想状態 ($k = 1.0$, $L3 = 10 \mu H$) の場合と、上記条件(A)の場合 ($k = 0.8$, $L3 = k \cdot L0 = 8 \mu H$) についてもシミュレーションを行った。また、インダクタンス $L3$ を上記最小値よりも若干小さめの値の $7.1 \mu H$ に設定した場合についてもシミュレーションを行った。図8において、符号81で示した線は理想状態の場合、符号82で示した線は $L3 = 17 \mu H$ とした場合、符号83で示した線は $L3 = 8 \mu H$ とした場合、符号84で示した線は $L3 = 7.2$

μ Hとした場合、符号85で示した線は $L3=7.1 \mu$ Hとした場合のシミュレーション結果を示している。図8の結果から、上記最大値、最小値の妥当性が確認できた。

[0068] 以上、 $L1=L2$ の場合について述べたが、 $L1$ と $L2$ が異なる場合についても、以下で説明するように同様のことがいえる。おおきく以下の3つの条件(A-1), (B-1), (C-1)に分けられる。

[0069] (A-1) $L3=k(L1 \cdot L2)^{1/2} \dots\dots (1)$ のとき。

この場合には、上記条件(A)のときと同様、 k が1未満であっても、減衰特性に関して $k=1.0$ のときとほぼ同じ特性が得られる。

[0070] (B-1) $L3>k(L1 \cdot L2)^{1/2}$ のとき

この場合には、上記条件(B)のときと同様、 $k=1.0$ のときにはなかった共振点が現れ、上記条件(B)のときと同様の減衰特性が得られる。そして、その共振周波数 f_0 は、

$$f_0 = 1 / 2 \pi \sqrt{C(L3-M)},$$

$$\text{ただし、} M = k(L1 \cdot L2)^{1/2}$$

と求められる。 $\sqrt{}$ は、 $C(L3-M)$ 全体の平方根を取ることを示す。 C は、直列回路15の第1のキャパシタ14のキャパシタンスを示す。この場合にも、カットオフ周波数より高い周波数でかつ理想状態の特性と一致するまでの周波数帯では、理想状態の特性よりも減衰特性が良くなる領域が生じる。

この場合において、インダクタンス $L3$ の最大値としては、上式で求められる共振周波数 f_0 が理想状態のカットオフ周波数以上であることが望ましいという条件より、

$$L3 \leq (L1+M)(L2+M) / (L1+L2+2M) + M \dots\dots (2)$$

であることが望ましい。

[0071] (C-1) $L3<k(L1 \cdot L2)^{1/2}$ のとき。

この場合には、上記条件(C)のときと同様、ある状態までは理想状態とほぼ同じ特性を示し、ある周波数以上から減衰特性が悪化する。

この場合において、インダクタンス $L3$ の最小値としてはシミュレーションから、

$$L3 \geq 0.9k(L1 \cdot L2)^{1/2} \dots\dots (3)$$

であることが望ましい。

[0072] 以上のように、インダクタンスL3は、結合係数kの値に応じて設定される。このため、インダクタンスL3の値を決定するために結合係数kの値をあらかじめ測定しておく必要がある。次に、この結合係数kの測定方法について説明する。

[0073] 一般に、2つのコイルの自己インダクタンスL1, L2、および相互インダクタンスMには次の関係がある。

$$M = k(L1 \cdot L2)^{1/2}$$

したがって、この式から2つのコイルの自己インダクタンスL1, L2、および相互インダクタンスMを測定することにより、結合係数kを求めることができる。

[0074] 図14は、相互インダクタンスMの測定方法の一例を示している。図14に示したように、2つのコイルを同相直列接続した場合と逆相直列接続した場合とについて、それぞれLa, Lbを測定する。この場合、相互インダクタンスMは次の式で求めることができる。なお、La, Lbは、端子間のインダクタンスを表している。

$$M = (La - Lb) / 4$$

なお、これらの測定方法に関しては、例えばAjilent Technologiesの出版物「インピーダンス測定ハンドブック」に掲載されている。

[0075] 以上説明したように、本実施の形態に係るノイズ抑制回路によれば、比較的簡単な構成で、しかも大きなインダクタンスを有するコイルを用いることなく、広い周波数範囲において効果的にノーマルモードノイズを抑制することが可能になる。特に、結合係数kの値に応じて、直列回路15におけるインダクタンスL3が適切な値に設定されているため、ノイズの減衰量の周波数特性に関して、理想状態とほぼ同じ特性、もしくは似た傾向の特性、または部分的に理想状態よりも優れた特性を得ることができる。

[0076] [第2の実施の形態]

次に、本発明の第2の実施の形態に係るノイズ抑制回路について説明する。上記第1の実施の形態に係るノイズ抑制回路は、2本の導電線3, 4のうち第1の導電線3にのみインダクタが挿入された不平衡型の回路であったが、本実施の形態に係るノイズ抑制回路は、2本の導電線3, 4の双方にインダクタを挿入することにより、平衡型の回路にしたものである。

[0077] 図9A, 9Bは、本発明の第2の実施の形態に係るノイズ抑制回路の第1および第2

の構成例を示している。図9A, 9Bのノイズ抑制回路は、図1A, 1Bのノイズ抑制回路の構成に対して、第4および第5のインダクタ54, 55が追加されたものであり、その他の構成は図1A, 1Bのノイズ抑制回路と同様である。第4および第5のインダクタ54, 55は、第2の導電線4に直列的に挿入されている。

[0078] ここで、本実施の形態に係るノイズ抑制回路において、直列回路15の一端が、第1および第2のインダクタ51, 52に接続される接続部分を第1の端部P1と呼び、第4および第5のインダクタ54, 55に接続される他端の接続部分を第2の端部P2と呼ぶ。また、第1のインダクタ51における第1の端部P1とは逆側の端部を第1のインダクタ51の一方の端部と呼び、第1のインダクタ51における第1の端部P1側の端部を第1のインダクタ51の他方の端部と呼ぶ。また、第2のインダクタ52における第1の端部P1側を第2のインダクタ52の一方の端部と呼び、第2のインダクタ52における第1の端部P1とは逆側の端部を第2のインダクタ52の他方の端部と呼ぶ。また、第4のインダクタ54における第2の端部P2とは逆側の端部を第4のインダクタ54の一方の端部と呼び、第4のインダクタ54における第2の端部P2側の端部を第4のインダクタ54の他方の端部と呼ぶ。また、第5のインダクタ55における第2の端部P2側の端部を第5のインダクタ55の一方の端部と呼び、第5のインダクタ55における第2の端部P2とは逆側の端部を第5のインダクタ55の他方の端部と呼ぶ。

[0079] 本実施の形態に係るノイズ抑制回路においても、直列回路15内において、第3のインダクタ53と第1のキャパシタ14の位置関係は、特に限定されない。図9Aは、第3のインダクタ53と第1のキャパシタ14のうち、第3のインダクタ53の方が第1の端部P1に近い位置に配置され、第1のキャパシタ14の方が第2の端部P2に近い位置に配置されている構成例である。図9Bは、逆に、第1のキャパシタ14の方が第1の端部P1に近い位置に配置され、第3のインダクタ53の方が第2の端部P2に近い位置に配置されている構成例である。

[0080] 第4および第5のインダクタ54, 55は、第1および第2のインダクタ51, 52と同様、互いに電磁氣的に結合されている。第4のインダクタ54は、磁芯22aに巻かれた巻線21aを有している。第5のインダクタ55は、磁芯22bに巻かれた巻線21bを有している。なお、図において各巻線に記した黒い丸印はその巻線の極性、巻き方の向き

を表す。第1および第2のインダクタ51, 52と第4および第5のインダクタ54, 55の極性は、各巻線同士の関係を維持していれば図示したものとはすべて逆になっていても良い。

第4および第5のインダクタ54, 55は、第1および第2のインダクタ51, 52と同様、別々の巻線22a, 22bで形成してもよいが、図10に示したように単一の巻線21で形成することも可能である。巻線21は、磁芯22に巻かれている。なお、図10では、第1および第2のインダクタ51, 52、ならびに第4および第5のインダクタ54, 55以外の回路は図示を省略している。

- [0081] 第4および第5のインダクタ54, 55を単一の巻線で形成する場合、図10に示したように例えば、単一の巻線21の途中に接続点(第2の端部P2)を設け、その巻線21の一方の端部から接続点までを巻線21aとして第4のインダクタ54とすればよい。同様に、巻線21の他方の端部から接続点までを巻線21bとして第5のインダクタ55とすればよい。この接続点に、直列回路15の他端を接続する。
- [0082] 第4および第5のインダクタ54, 55のインダクタンスは、第1および第2のインダクタ51, 52のインダクタンスと同様、同一の値であることが好ましい。より好ましくは、第1および第2のインダクタ51, 52、ならびに第4および第5のインダクタ54, 55のすべてのインダクタンスを同一の値にするとよい。第4および第5のインダクタ54, 55を単一の巻線21で形成する場合、例えば単一の巻線21の midpoint に上記接続点を設けることで、第4および第5のインダクタ54, 55の各インダクタンスを等しくすることができる。
- [0083] ここで、上述したように第1および第2のインダクタ51, 52は、互いに電磁氣的に結合されており、その結合係数 k_1 は理想的には1となる。第4および第5のインダクタ54, 55の結合係数 k_2 も、理想的には1となる。しかしながら、実際には結合係数が1というのは実現できない。
- [0084] そこで、本実施の形態に係るノイズ抑制回路では、第1および第2のインダクタ51, 52の結合係数 k_1 、および第4および第5のインダクタ54, 55の結合係数 k_2 の値が実際には1よりも小さくなることを考慮し、特に第3のインダクタ53のインダクタンス L_3 が、結合係数 k_1 , k_2 が1よりも小さいことを条件として、所望のノイズ減衰特性が得られるよう、実際の結合係数 k_1 , k_2 の値に応じた値に設定されている。なお、インダク

タンスL3の値の決定方法については後に詳述する。

[0085] 次に、本実施の形態に係るノイズ抑制回路の作用について説明する。ここでは、図9Aの構成例を基本にして説明する。始めに、図1Aに示したように、端子1a, 1b間にノーマルモードの電圧 V_i が印加された場合について説明する。この場合には、第1のインダクタ51の一方の端部と第4のインダクタ54の一方の端部との間に電圧 V_i が印加される。この電圧 V_i は、第1のインダクタ51と直列回路15と第4のインダクタ54とによって分圧され、第1のインダクタ51の両端間と直列回路15の両端間と第4のインダクタ54の両端間とにそれぞれ同一向きの所定の電圧が発生する。なお、図中の矢印は、その先の方が高い電位であることを表している。

[0086] 第1のインダクタ51と第2のインダクタ52は互いに電磁氣的に結合されているので、第1のインダクタ51の両端間に発生した電圧に応じて、第2のインダクタ52の両端間に所定の電圧が発生する。同様に、第4のインダクタ54と第5のインダクタ55は互いに電磁氣的に結合されているので、第4のインダクタ54の両端間に発生した電圧に応じて、第5のインダクタ55の両端間に所定の電圧が発生する。ここで、直列回路15の一端は第1のインダクタ51と第2のインダクタ52との間に接続されると共に、他端が第4のインダクタ54と第5のインダクタ55との間に接続されていることから、第2のインダクタ52の両端間に発生する電圧の向きと第5のインダクタ55の両端間に発生する電圧の向きとが、直列回路15の両端間に発生する電圧の向きとは逆方向となり、それらの電圧が互いに相殺される。その結果、第2のインダクタ52の他方の端部と第5のインダクタ55の他方の端部との間の電圧、すなわち端子2a, 2b間の電圧 V_o は、第1のインダクタ51の一方の端部と第4のインダクタ54の一方の端部との間に印加された電圧 V_i よりも小さくなる。

[0087] また、本実施の形態において、端子2a, 2b間にノーマルモードの電圧が印加された場合も、上記の説明と同様にして、端子1a, 1b間の電圧は、端子2a, 2b間に印加された電圧よりも小さくなる。このように、本実施の形態に係るノイズ抑制回路によれば、端子1a, 1bにノーマルモードノイズが印加された場合と、端子2a, 2bにノーマルモードノイズが印加された場合のいずれの場合にも、ノーマルモードノイズを抑制することができる。

- [0088] 次に、特に、理想状態での作用について説明する。ここで、本実施の形態に係るノイズ抑制回路において、理想状態とは、第1および第2のインダクタ51, 52の結合係数 $k_1=1$ 、第4および第5のインダクタ54, 55の結合係数 $k_2=1$ と仮定して、各素子値の最適化を図った状態のことをいう。ここでは特に、第1および第2のインダクタ51, 52のインダクタンス L_1, L_2 、および第4および第5のインダクタ54, 55のインダクタンス L_4, L_5 の各インダクタンスを共に同じ値 L_0 とし、第3のインダクタ53のインダクタンス L_3 を、 L_0 の2倍の値とする。キャパシタ14のインピーダンスはゼロであると仮定する。
- [0089] この場合、端子1a, 1b間にノーマルモードの電圧 V_i が印加されると、この電圧 V_i は、第1のインダクタ51と直列回路15と第4のインダクタ54とによって分圧され、第1のインダクタ51の両側間および第4のインダクタ54の両端間にそれぞれ $1/4V_i$ の電圧が発生し、直列回路15の両端間に $1/2V_i$ の電圧が発生する。第1のインダクタ51の両端間に発生した電圧 $1/4V_i$ に応じて、第2のインダクタ52の両端間にも電圧 $1/4V_i$ が発生する。同様に、第4のインダクタ54の両端間に発生した電圧 $1/4V_i$ に応じて、第5のインダクタ55の両端間にも電圧 $1/4V_i$ が発生する。その結果、端子2a, 2b間の電圧 V_o は、第2のインダクタ52の両端間の電圧 $1/4V_i$ と、第5のインダクタ55の両端間の電圧 $1/4V_i$ と、第3のインダクタ53の両端間の電圧 $1/2V_i$ とが相殺されることにより、原理的にはゼロとなる。また、端子2a, 2b間にノーマルモードの電圧 V_i が印加された場合も、上記の説明と同様にして、端子1a, 1b間の電圧は、原理的にはゼロとなる。
- [0090] ここで、実際には結合係数 k_1, k_2 の値は1よりも小さくなるので、本実施の形態に係るノイズ抑制回路では、結合係数 k_1, k_2 が1より小さくとも、第3のインダクタ53のインダクタンス L_3 の値を結合係数 k_1, k_2 の値に応じて調整することにより、減衰特性に関して、理想状態とほぼ同じ特性、もしくは似た傾向の特性が得られるようにしている。または、任意の周波数に共振点を作ること、部分的に理想状態よりも優れた特性が得られるようにしている。
- [0091] 図11A, 11Bは、図9A, 9Bに示した平衡型のノイズ抑制回路の変形例を示している。具体的には、図9A, 9Bのノイズ抑制回路よりも平衡度をさらに上げることのできる。

る変形例である。なお、図11A, 11Bのノイズ抑制回路は、図9A, 9Bのノイズ抑制回路に対して直列回路15の部分のみが異なっており、他の回路部分は同様なので図示を省略している。特に図11Aのノイズ抑制回路は、図9A, 9Bに示された第3のインダクタ53と第1のキャパシタ14とからなる直列回路15に対して、第1のキャパシタ14の2倍の容量を有する2つのキャパシタ14a, 14bで第3のインダクタ53を挟んだ構成となっている。この場合、図11Aの回路における第3のインダクタ53のインダクタンス L_3 は、図9A, 9Bに示された第3のインダクタ53と同じである。また、図11Bのノイズ抑制回路は、図9A, 9Bに示された直列回路15に対して、第1のキャパシタ14をそのままの容量として、その第1のキャパシタ14を、第3のインダクタ53の半分のインダクタンスを有する2つのインダクタ53a, 53bで挟んだ構成となっている。これらの構成をとることで、図9A, 9Bのノイズ抑制回路よりもさらに平衡度を上げることが可能である。

[0092] 次に、このインダクタンス L_3 の値による減衰特性の変化を、以下のシミュレーションの結果により具体的に説明する。図12は、このシミュレーションに用いたノイズ抑制回路の等価回路を示している。なお、 R_a , R_b は、入出力インピーダンスとして設定したものである。この回路において、結合係数 $k_1 = k_2 = 0.8$ として、インダクタンス L_3 の値を種々変化させた場合の減衰特性を計算した。第1および第2のインダクタ51, 52のインダクタンス L_1 , L_2 、ならびに第4および第5のインダクタ54, 55のインダクタンス L_4 , L_5 は共に、同じ値($L_0 = 10 \mu\text{H}$)に設定した。

[0093] 図13は、そのシミュレーション結果を示している。これは、図6と同様、ノーマルモードノイズの減衰量の周波数特性をグラフ化して示したものである。図13には、比較のため理想状態($k = 1$, $L_3 = 2L_0 = 20 \mu\text{H}$)での計算結果も示す。図13において、符号91で示した線は理想状態の場合、符号92で示した線は $L_3 = 34 \mu\text{H}$ とした場合、符号93で示した線は $L_3 = 20 \mu\text{H}$ とした場合、符号94で示した線は $L_3 = 16.1 \mu\text{H}$ とした場合、符号95で示した線は $L_3 = 16 \mu\text{H}$ とした場合、符号96で示した線は $L_3 = 15.9 \mu\text{H}$ とした場合、符号97で示した線は $L_3 = 14.4 \mu\text{H}$ とした場合のシミュレーション結果を示している。

[0094] 図13のシミュレーション結果から、インダクタンス L_3 の値とその減衰特性との関係に

関して以下のことが言える。インダクタンス L_3 の値により、おおきく以下の3つの条件(A)～(C)に分けられる。

[0095] (A) $L_3 = M_1 + M_2$ のとき。

ただし、 $M_1 = k_1 (L_1 \cdot L_2)^{1/2} \dots\dots (4-1)$

$M_2 = k_2 (L_4 \cdot L_5)^{1/2} \dots\dots (4-2)$

図13のシミュレーションでは、符号95で示した線が該当する($L_3 = 16 \mu H$)。この場合、 k が1未満であっても、減衰特性に関して理想状態($k = 1.0$, $L_3 = 2L_0$)とほぼ同じ特性が得られる。

[0096] (B) $L_3 > M_1 + M_2$ のとき。

図13のシミュレーションでは、符号92～94で示した線が該当する($L_3 > 16 \mu H$)。この場合、理想状態のときにはなかった共振点が現れる。そして、その共振周波数 f_0 は、

$$f_0 = 1 / 2 \pi \sqrt{C(L_3 - M_1 - M_2)}$$

と求められる。 $\sqrt{}$ は、 $C(L_3 - M_1 - M_2)$ 全体の平方根を取ることを示す。 C は、直列回路15の第1のキャパシタ14のキャパシタンスを示す。したがってこの場合、 L_3 の値を変えることにより、共振周波数を任意の周波数に移動できる。この共振点を設けた場合、カットオフ周波数より高い周波数領域において部分的に、理想状態の場合よりも減衰特性が良くなる領域が生じる。すなわち、図13からも分かるようにカットオフ周波数より高い周波数でかつ理想状態の特性と一致するまでの周波数帯では、理想状態の特性よりも減衰特性が良くなる領域が生じる。

この場合において、インダクタンス L_3 の最大値としては、上式で求められる共振周波数 f_0 が理想状態のカットオフ周波数以上であることが望ましいという条件より、

$$L_3 \leq (L_1 + L_4 + M_1 + M_2)(L_2 + L_5 + M_1 + M_2) / \{L_1 + L_2 + L_4 + L_5 + 2(M_1 + M_2)\} + M_1 + M_2 \dots\dots (5)$$

であることが望ましい。図13のシミュレーションでは、符号92で示した線が、この式から求められる最大値での特性を示している($L_3 = 34 \mu H$)。

[0097] (C) $L_3 < M_1 + M_2$ のとき。

図13のシミュレーションでは、符号96, 97で示した線が該当する($L_3 < 16 \mu H$)。

この場合、図13の減衰特性からも分かるように、理想状態のときと似た傾向の特性が得られ、特に、ある状態までは理想状態とほぼ同じ特性を示し、ある周波数以上から減衰特性が悪化する。このため、理想状態とほぼ同じ周波数範囲で使用するならば、L3をこの条件値にすることにメリットがある。

この場合において、インダクタンスL3の最小値としてはシミュレーションから、

$$L3 \geq 0.9(M1 + M2) \dots\dots (6)$$

であることが望ましい。図13のシミュレーションでは、符号97で示した線が、この式から求められる最小値での特性を示している(L3=14.4 μ H)。

[0098] 以上説明したように、本実施の形態に係るノイズ抑制回路によれば、第1および第2の導電線3, 4のそれぞれにインダクタを挿入し、第1および第2の導電線3, 4のインピーダンス特性が平衡になるように構成されているので、ライン間の平衡度を高くすることができる。特に、結合係数k1, k2の値に応じて、直列回路15におけるインダクタンスL3が適切な値に設定されているため、ノイズの減衰量の周波数特性に関して、理想状態とほぼ同じ特性、もしくは似た傾向の特性、または部分的に理想状態よりも優れた特性を得ることができる。本実施の形態におけるその他の構成、作用および効果は、第1の実施の形態と同様である。

[0099] [第3の実施の形態]

次に、本発明の第3の実施の形態に係るノイズ抑制回路について説明する。図15A, 15Bは、本発明の第3の実施の形態に係るノイズ抑制回路の第1および第2の構成例を示している。図15A, 15Bのノイズ抑制回路はそれぞれ、上記第2の実施の形態に係る図9A, 9Bのノイズ抑制回路の構成に対して、第1および第2のインダクタ51, 52と第4および第5のインダクタ54, 55とを相互に磁氣的に結合したものである。結合関係の違いを除いて基本的な構成、およびそのノイズ抑制の動作は図9A, 9Bのノイズ抑制回路と同様である。

[0100] 第1および第2のインダクタ51, 52と第4および第5のインダクタ54, 55は、それらを構成する各巻線が例えば互いに同一の磁芯12に巻かれることにより、相互に磁氣的に結合している。ただし、磁芯12を分割コアとしても良い。なお、図15A, 15Bにおいて各巻線に記した黒い丸印はその巻線の極性、巻き方の向きを表す。第1および

第2のインダクタ51, 52と第4および第5のインダクタ54, 55の極性は、各巻線同士の関係を維持していれば図示したものとはすべて逆になっていても良い。

[0101] ここで、図16に示したように、本実施の形態に係るノイズ抑制回路について、第1および第2のインダクタ51, 52間の結合係数を k_1 、第4および第5のインダクタ54, 55間の結合係数を k_2 、第1および第4のインダクタ51, 54間の結合係数を k_3 、第2および第5のインダクタ52, 55間の結合係数を k_4 、第1および第5のインダクタ51, 55間の結合係数を k_5 、第2および第4のインダクタ52, 54間の結合係数を k_6 と定義する。このノイズ抑制回路では、第1および第2のインダクタ51, 52と第4および第5のインダクタ54, 55とが、すべて互いに磁氣的に結合されており、各結合係数 k_1 〜 k_6 の値は理想的には1となる。しかしながら、実際には結合係数が1というのは実現できない。

[0102] そこで、本実施の形態に係るノイズ抑制回路では、各インダクタ間の結合係数 k_1 〜 k_6 の値が実際には1よりも小さくなることを考慮し、特に第3のインダクタ53のインダクタンス L_3 が、結合係数 k_1 〜 k_6 が1よりも小さいことを条件として、所望のノイズ減衰特性が得られるよう、実際の結合係数 k_1 〜 k_6 の値に応じた値に設定されている。

[0103] ここで、本実施の形態に係るノイズ抑制回路において、理想状態とは、各インダクタ間の結合係数 k_1 〜 $k_6 = 1$ と仮定して、各素子値の最適化を図った状態のことをいう。ここでは、第1および第2のインダクタ51, 52のインダクタンス L_1, L_2 、および第4および第5のインダクタ54, 55のインダクタンス L_4, L_5 の各インダクタンスを共に同じ値 L_0 とし、第3のインダクタ53のインダクタンス L_3 を、 L_0 の4倍の値とした状態を理想状態とする。

[0104] 本実施の形態に係るノイズ抑制回路では、以下で説明するように結合係数 k_1 〜 k_6 が1より小さくとも、第3のインダクタ53のインダクタンス L_3 の値を結合係数 k_1 〜 k_6 の値に応じて調整することにより、減衰特性に関して、理想状態とほぼ同じ特性、もしくは似た傾向の特性が得られる。または、任意の周波数に共振点を作ることによって、部分的に理想状態よりも優れた特性が得られる。

[0105] 次に、このインダクタンス L_3 の値による減衰特性の変化を、以下のシミュレーションの結果により具体的に説明する。図18は、このシミュレーションに用いたノイズ抑制

回路の等価回路を示している。なお、 R_a , R_b は、入出力インピーダンスとして設定したものである。この回路において、結合係数 $k_1 \sim k_6 = 0.8$ として、上記第2の実施の形態と同様、インダクタンス L_3 の値を種々変化させた場合の減衰特性を計算した。第1および第2のインダクタ51, 52のインダクタンス L_1 , L_2 、ならびに第4および第5のインダクタ54, 55のインダクタンス L_4 , L_5 は共に、同じ値(L_1 , L_2 , L_4 , $L_5 = L_0 = 5 \mu\text{H}$)に設定した。

[0106] 図17は、そのシミュレーション結果を示している。これは、図6と同様、ノーマルモードノイズの減衰量の周波数特性をグラフ化して示したものである。図17において、符号101で示した線は $L_3 = 34 \mu\text{H}$ とした場合、符号102で示した線は $L_3 = 20 \mu\text{H}$ とした場合、符号103で示した線は $L_3 = 16.1 \mu\text{H}$ とした場合、符号104で示した線は $L_3 = 16 \mu\text{H}$ とした場合、符号105で示した線は $L_3 = 15.9 \mu\text{H}$ とした場合、符号106で示した線は $L_3 = 14.4 \mu\text{H}$ とした場合のシミュレーション結果を示している。

[0107] 図17のシミュレーション結果から、上記第2の実施の形態と同様、インダクタンス L_3 の値とその減衰特性との関係に関して以下のことが言える。インダクタンス L_3 の値により、おおきく以下の3つの条件(A)～(C)に分けられる。

[0108] (A) $L_3 = M_1 + M_2 + M_5 + M_6$ のとき。

$$\text{ただし、} M_1 = k_1 (L_1 \cdot L_2)^{1/2} \dots\dots (7-1)$$

$$M_2 = k_2 (L_4 \cdot L_5)^{1/2} \dots\dots (7-2)$$

$$M_5 = k_5 (L_1 \cdot L_5)^{1/2} \dots\dots (7-3)$$

$$M_6 = k_6 (L_2 \cdot L_4)^{1/2} \dots\dots (7-4)$$

図17のシミュレーションでは、符号104で示した線が該当する($L_3 = 16 \mu\text{H}$)。この場合、 k が1未満であっても、減衰特性に関して理想状態とほぼ同じ特性が得られる。理想状態の減衰特性は図示していないが、符号104で示した線とほぼ重なる。ここでの理想状態とは、図18の等価回路において、 $k_1 \sim k_6 = 1.0$, $L_3 = 4L_0 = 20 \mu\text{H}$ とした場合のことをいう。

[0109] (B) $L_3 > M_1 + M_2 + M_5 + M_6$ のとき。

図17のシミュレーションでは、符号101～103で示した線が該当する($L_3 > 16 \mu\text{H}$)。この場合、理想状態のときにはなかった共振点が現れる。そして、その共振周波

数 f_0 は、

$$f_0 = 1 / 2\pi \sqrt{C(L_3 - M_1 - M_2 - M_5 - M_6)}$$

と求められる。 $\sqrt{}$ は、 $C(L_3 - M_1 - M_2 - M_5 - M_6)$ 全体の平方根を取ることを示す。 C は、直列回路15の第1のキャパシタ14のキャパシタンスを示す。したがってこの場合、 L_3 の値を変えることにより、共振周波数を任意の周波数に移動できる。この共振点を設けた場合、カットオフ周波数より高い周波数領域において部分的に、理想状態の場合よりも減衰特性が良くなる領域が生じる。すなわち、図17からも分かるようにカットオフ周波数より高い周波数でかつ理想状態の特性と一致するまでの周波数帯では、理想状態の特性よりも減衰特性が良くなる領域が生じる。

この場合において、インダクタンス L_3 の最大値としては、上式で求められる共振周波数 f_0 が理想状態のカットオフ周波数以上であることが望ましいという条件より、

$$L_3 \leq (L_1 + L_4 + M_1 + M_2 + 2M_3 + M_5 + M_6) (L_2 + L_5 + M_1 + M_2 + 2M_4 + M_5 + M_6) / \{L_1 + L_2 + L_4 + L_5 + 2(M_1 + M_2 + M_3 + M_4 + M_5 + M_6)\} + M_1 + M_2 + M_5 + M_6 \quad \cdots (8)$$

であることが望ましい。図17のシミュレーションでは、符号101で示した線が、この式から求められる最大値での特性を示している($L_3 = 33 \mu H$)。

[0110] (C) $L_3 < M_1 + M_2 + M_5 + M_6$ のとき。

図17のシミュレーションでは、符号105, 106で示した線が該当する($L_3 < 16 \mu H$)。この場合、図17の減衰特性からも分かるように、理想状態のときと似た傾向の特性が得られ、特に、ある状態までは理想状態とほぼ同じ特性を示し、ある周波数以上から減衰特性が悪化する。このため、理想状態とほぼ同じ周波数範囲で使用するならば、 L_3 をこの条件値にすることにメリットがある。

この場合において、インダクタンス L_3 の最小値としてはシミュレーションの結果を考慮すると、

$$L_3 \geq 0.9(M_1 + M_2 + M_5 + M_6) \quad \cdots (9)$$

であることが望ましい。図17のシミュレーションでは、符号106で示した線が、この式から求められる最小値での特性を示している($L_3 = 14.4 \mu H$)。

[0111] なお、各実施の形態に係るノイズ抑制回路は、電力変換回路が発生するリップル電

圧やノイズを低減する手段や、電力線通信において電力線上のノイズを低減したり、室内電力線上の通信信号が屋外電力線に漏洩することを防止する手段として利用することができる。

請求の範囲

- [1] 第1および第2の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制する回路であって、

前記第1の導電線に直列的に挿入され、かつ互いに磁氣的に結合された第1および第2のインダクタと、

直列に接続された第3のインダクタと第1のキャパシタとからなり、一端が前記第1のインダクタと前記第2のインダクタとの間に接続され、他端が前記第2の導電線に接続された直列回路と

を備え、

前記第1および第2のインダクタの結合係数 k が1よりも小さく、かつ前記第3のインダクタのインダクタンスが、前記結合係数 k が1よりも小さいことを条件として、所望のノイズ減衰特性が得られるような値に設定されている

ことを特徴とするノイズ抑制回路。

- [2] 前記第3のインダクタのインダクタンス L_3 が、

$$L_3 = k(L_1 \cdot L_2)^{1/2} \dots\dots (1)$$

の条件を満たす

ことを特徴とする請求の範囲第1項に記載のノイズ抑制回路。

ただし、

L_1 : 第1のインダクタのインダクタンス

L_2 : 第2のインダクタのインダクタンス

- [3] 前記第3のインダクタのインダクタンス L_3 が、

$$L_3 > k(L_1 \cdot L_2)^{1/2} \text{であり、かつ}$$

$$L_3 \leq (L_1 + M)(L_2 + M) / (L_1 + L_2 + 2M) + M \dots\dots (2)$$

の条件を満たす

ことを特徴とする請求の範囲第1項に記載のノイズ抑制回路。

ただし、

$$M = k(L_1 \cdot L_2)^{1/2}$$

L_1 : 第1のインダクタのインダクタンス

- L2:第2のインダクタのインダクタンス
- [4] 前記第3のインダクタのインダクタンス L_3 が、
 $L_3 < k(L_1 \cdot L_2)^{1/2}$ であり、かつ
 $L_3 \geq 0.9k(L_1 \cdot L_2)^{1/2} \dots\dots (3)$
 の条件を満たす
 ことを特徴とする請求の範囲第1項に記載のノイズ抑制回路。
 ただし、
 L1:第1のインダクタのインダクタンス
 L2:第2のインダクタのインダクタンス
- [5] 第1および第2の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制する回路であって、
 前記第1の導電線に直列的に挿入され、かつ互いに磁氣的に結合された第1および第2のインダクタと、
 直列に接続された第3のインダクタと第1のキャパシタとからなる直列回路と、
 前記第2の導電線に直列的に挿入され、かつ互いに磁氣的に結合された第4および第5のインダクタと
 を備え、
 前記直列回路の一端が、前記第1のインダクタと前記第2のインダクタとの間に接続され、他端が前記第4のインダクタと前記第5のインダクタとの間に接続されており、
 前記第1および第2のインダクタの結合係数 k_1 と前記第4および第5のインダクタの結合係数 k_2 とが1よりも小さく、かつ前記第3のインダクタのインダクタンスが、前記結合係数 k_1 , k_2 が1よりも小さいことを条件として、所望のノイズ減衰特性が得られるような値に設定されている
 ことを特徴とするノイズ抑制回路。
- [6] 前記第3のインダクタのインダクタンス L_3 が、
 $L_3 = M_1 + M_2$ であり、かつ
 $M_1 = k_1(L_1 \cdot L_2)^{1/2} \dots\dots (4-1)$
 $M_2 = k_2(L_4 \cdot L_5)^{1/2} \dots\dots (4-2)$

の条件を満たす

ことを特徴とする請求の範囲第5項に記載のノイズ抑制回路。

ただし、

L1:第1のインダクタのインダクタンス

L2:第2のインダクタのインダクタンス

L4:第4のインダクタのインダクタンス

L5:第5のインダクタのインダクタンス

[7] 前記第3のインダクタのインダクタンスL3が、

$L3 > M1 + M2$ であり、かつ

$$L3 \leq (L1 + L4 + M1 + M2) (L2 + L5 + M1 + M2) / \{L1 + L2 + L4 + L5 + 2(M1 + M2)\} + M1 + M2 \quad \cdots \cdots (5)$$

の条件を満たす

ことを特徴とする請求の範囲第5項に記載のノイズ抑制回路。

ただし、

$$M1 = k1 (L1 \cdot L2)^{1/2}, M2 = k2 (L4 \cdot L5)^{1/2}$$

L1:第1のインダクタのインダクタンス

L2:第2のインダクタのインダクタンス

L4:第4のインダクタのインダクタンス

L5:第5のインダクタのインダクタンス

[8] 前記第3のインダクタのインダクタンスL3が、

$L3 < M1 + M2$ であり、かつ

$$L3 \geq 0.9(M1 + M2) \quad \cdots \cdots (6)$$

の条件を満たす

ことを特徴とする請求の範囲第5項に記載のノイズ抑制回路。

ただし、

$$M1 = k1 (L1 \cdot L2)^{1/2}, M2 = k2 (L4 \cdot L5)^{1/2}$$

L1:第1のインダクタのインダクタンス

L2:第2のインダクタのインダクタンス

L4:第4のインダクタのインダクタンス

L5:第5のインダクタのインダクタンス

- [9] 第1および第2の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制する回路であって、

前記第1の導電線に直列的に挿入され、かつ互いに磁氣的に結合された第1および第2のインダクタと、

直列に接続された第3のインダクタと第1のキャパシタとからなる直列回路と、

前記第2の導電線に直列的に挿入され、かつ前記第1および第2のインダクタと共に互いに磁氣的に結合された第4および第5のインダクタと

を備え、

前記直列回路の一端が、前記第1のインダクタと前記第2のインダクタとの間に接続され、他端が前記第4のインダクタと前記第5のインダクタとの間に接続されており、

前記第1および第2のインダクタの結合係数 k_1 と、前記第4および第5のインダクタの結合係数 k_2 と、前記第1および第4のインダクタの結合係数 k_3 と、前記第2および第5のインダクタの結合係数 k_4 と、前記第1および第5のインダクタの結合係数 k_5 と、前記第2および第4のインダクタの結合係数 k_6 とがすべて1よりも小さく、かつ前記第3のインダクタのインダクタンスが、前記結合係数 k_1 , k_2 , k_3 , k_4 , k_5 , および k_6 がすべて1よりも小さいことを条件として、所望のノイズ減衰特性が得られるような値に設定されている

ことを特徴とするノイズ抑制回路。

- [10] 前記第3のインダクタのインダクタンス L_3 が、

$L_3 = M_1 + M_2 + M_5 + M_6$ であり、かつ

$$M_1 = k_1 (L_1 \cdot L_2)^{1/2} \quad \dots\dots (7-1)$$

$$M_2 = k_2 (L_4 \cdot L_5)^{1/2} \quad \dots\dots (7-2)$$

$$M_5 = k_5 (L_1 \cdot L_5)^{1/2} \quad \dots\dots (7-3)$$

$$M_6 = k_6 (L_2 \cdot L_4)^{1/2} \quad \dots\dots (7-4)$$

の条件を満たす

ことを特徴とする請求の範囲第9項に記載のノイズ抑制回路。

ただし、

L1:第1のインダクタのインダクタンス

L2:第2のインダクタのインダクタンス

L4:第4のインダクタのインダクタンス

L5:第5のインダクタのインダクタンス

[11] 前記第3のインダクタのインダクタンスL3が、

$L3 > M1 + M2 + M5 + M6$ であり、かつ

$$L3 \leq (L1 + L4 + M1 + M2 + 2M3 + M5 + M6) (L2 + L5 + M1 + M2 + 2M4 + M5 + M6) / \{L1 + L2 + L4 + L5 + 2(M1 + M2 + M3 + M4 + M5 + M6)\} + M1 + M2 + M5 + M6 \quad \dots\dots (8)$$

の条件を満たす

ことを特徴とする請求の範囲第9項に記載のノイズ抑制回路。

ただし、

$$M1 = k1 (L1 \cdot L2)^{1/2}, M2 = k2 (L4 \cdot L5)^{1/2}, M5 = k5 (L1 \cdot L5)^{1/2}, M6 = k6 (L2 \cdot L4)^{1/2}$$

L1:第1のインダクタのインダクタンス

L2:第2のインダクタのインダクタンス

L4:第4のインダクタのインダクタンス

L5:第5のインダクタのインダクタンス

[12] 前記第3のインダクタのインダクタンスL3が、

$L3 < M1 + M2 + M5 + M6$ であり、かつ

$$L3 \geq 0.9 (M1 + M2 + M5 + M6) \quad \dots\dots (9)$$

の条件を満たす

ことを特徴とする請求の範囲第9項に記載のノイズ抑制回路。

ただし、

$$M1 = k1 (L1 \cdot L2)^{1/2}, M2 = k2 (L4 \cdot L5)^{1/2}, M5 = k5 (L1 \cdot L5)^{1/2}, M6 = k6 (L2 \cdot L4)^{1/2}$$

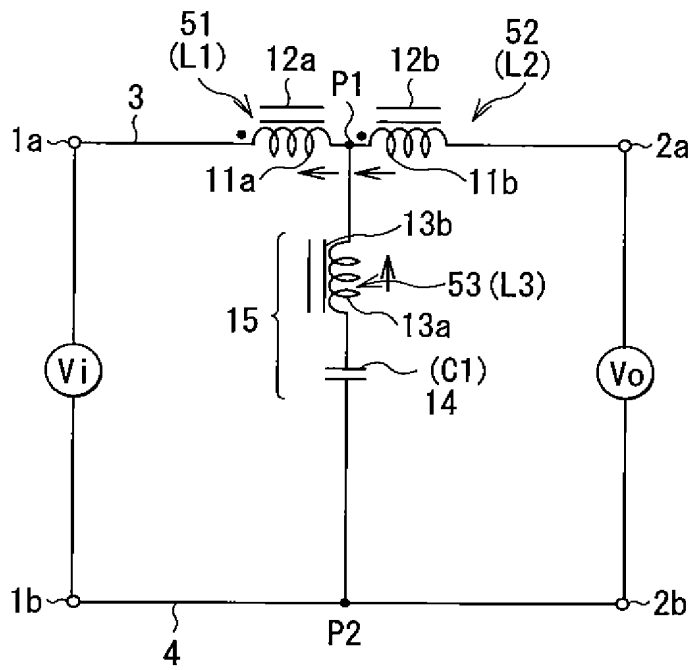
L1:第1のインダクタのインダクタンス

L2:第2のインダクタのインダクタンス

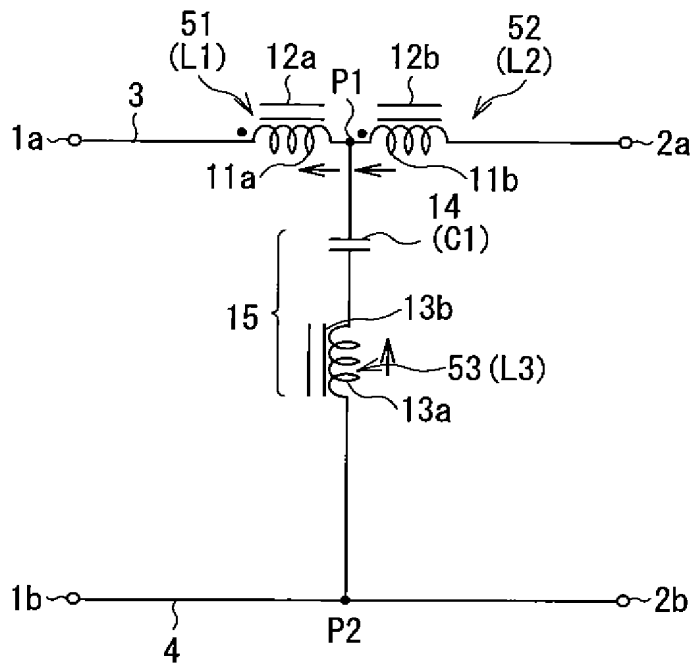
L4:第4のインダクタのインダクタンス

L5:第5のインダクタのインダクタンス

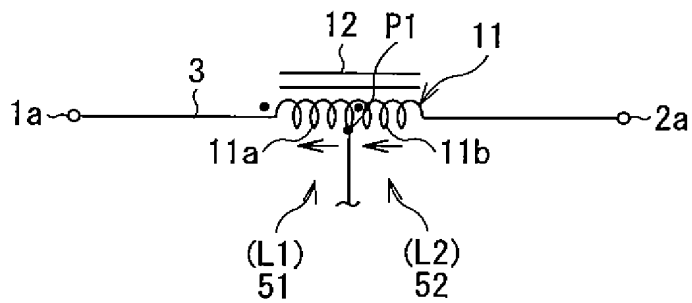
[図1A]



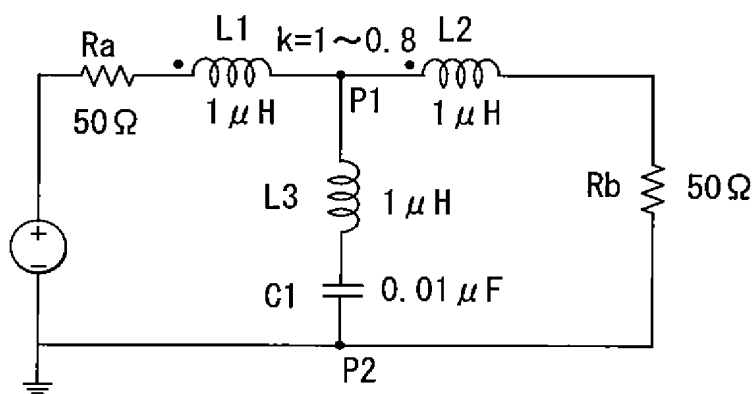
[図1B]



[図2]

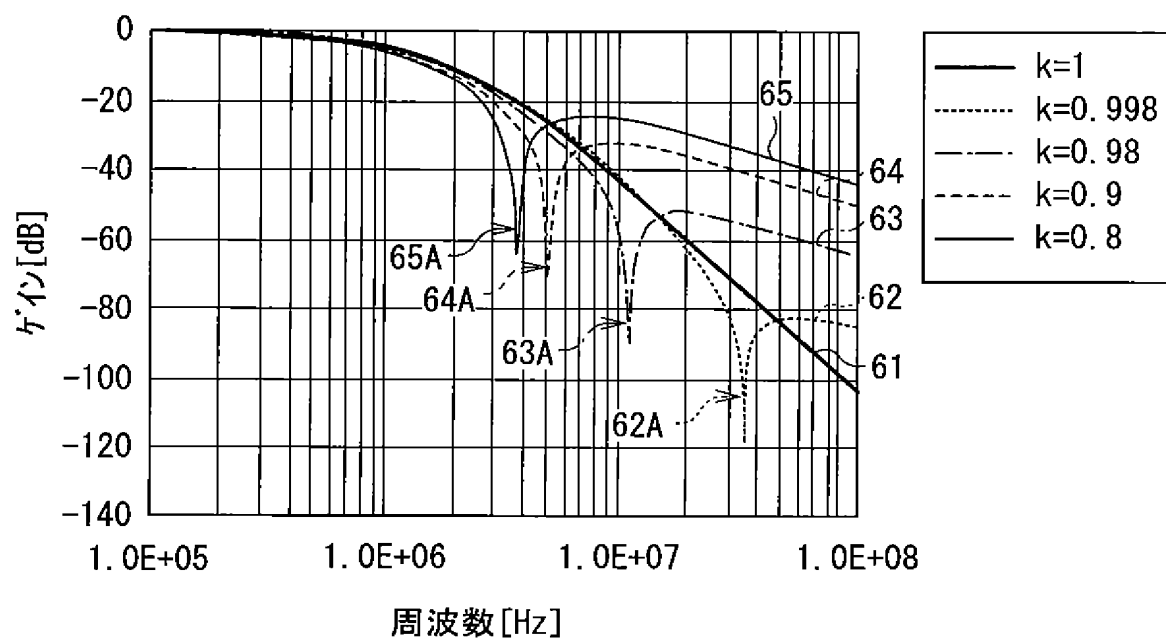


[図3]

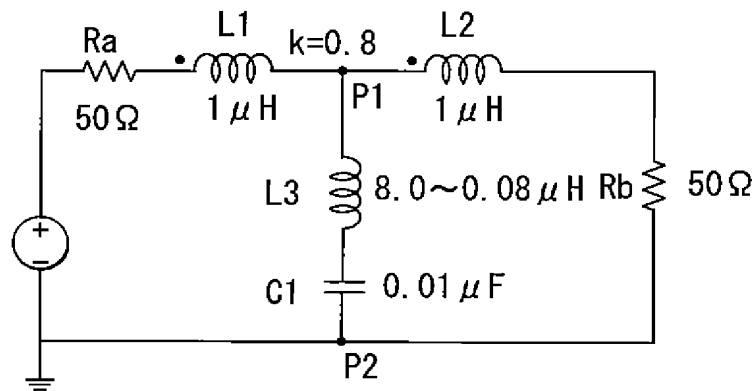


[図4]

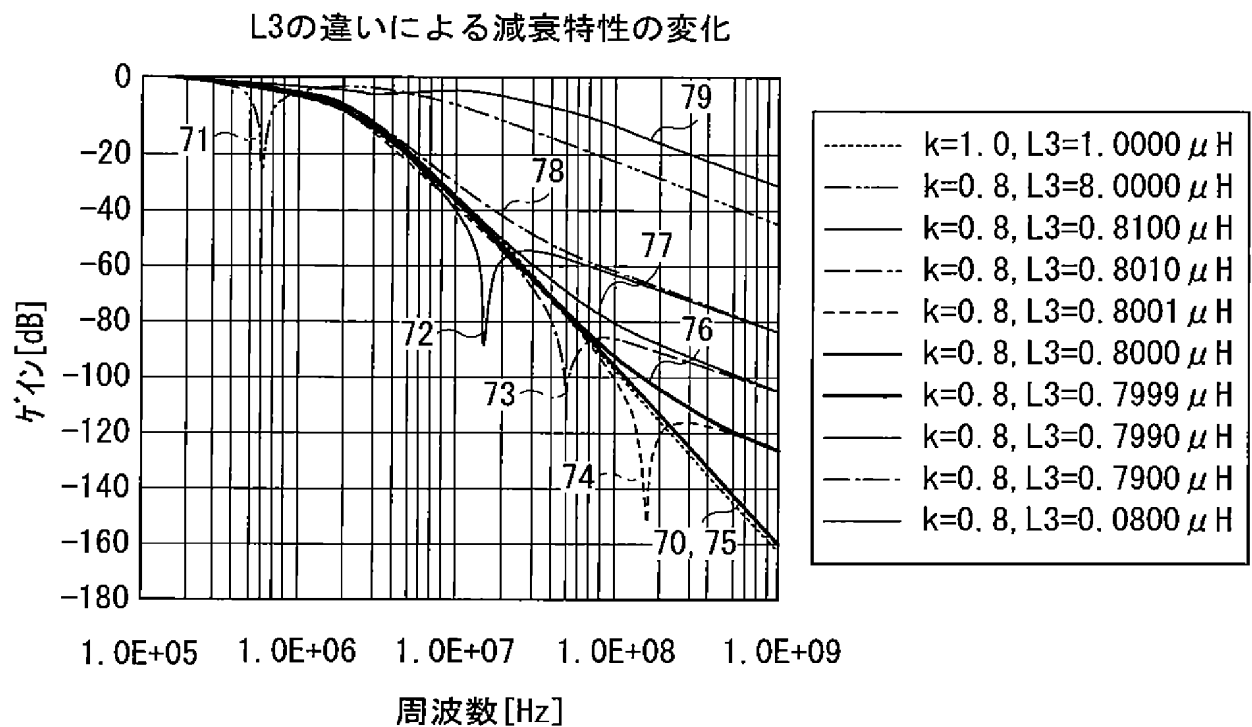
結合係数による減衰特性の変化



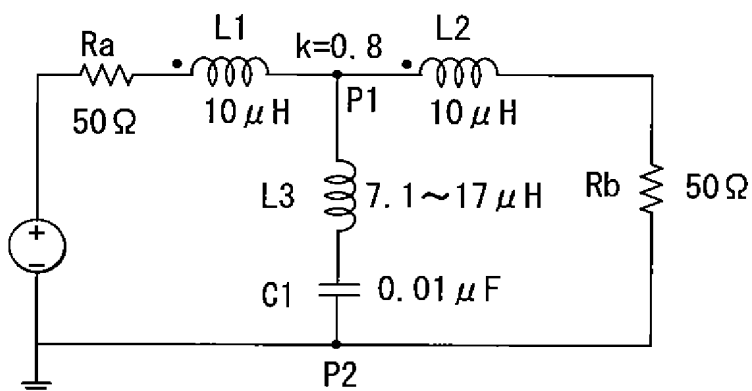
[図5]



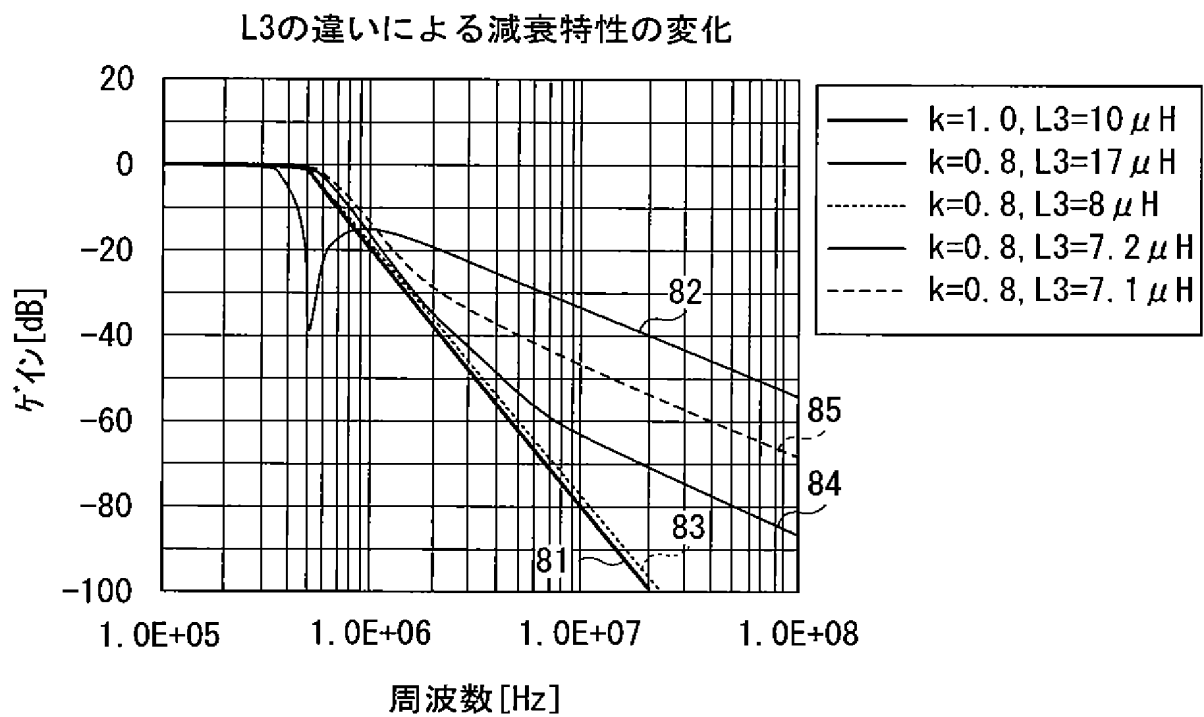
[図6]



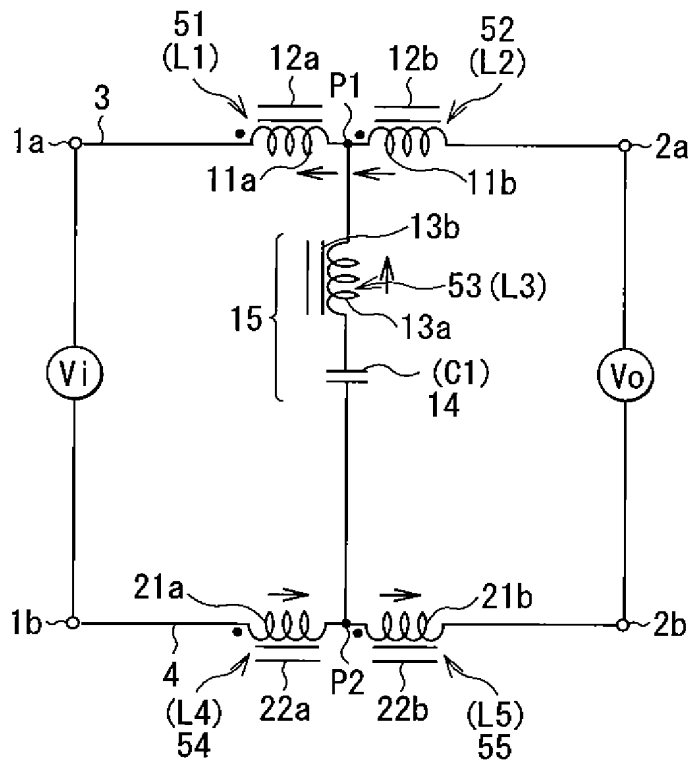
[図7]



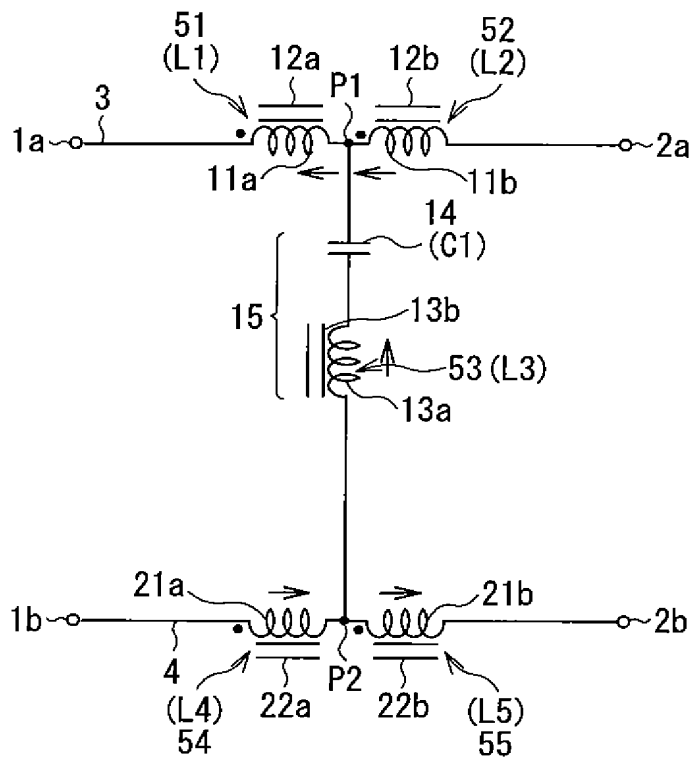
[図8]



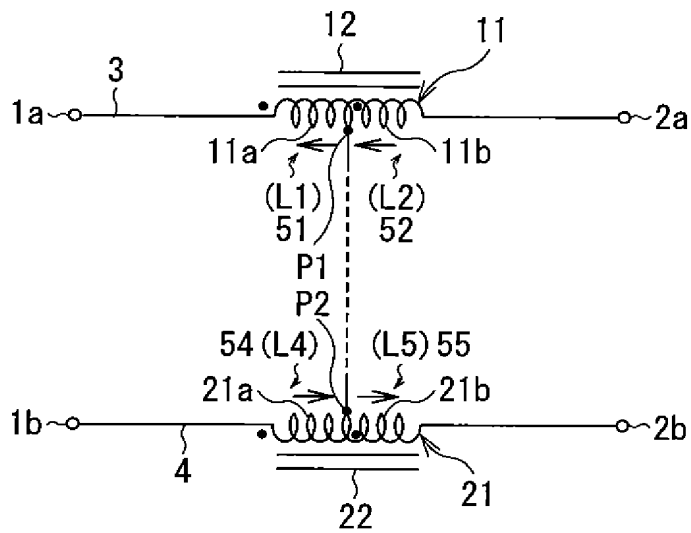
[図9A]



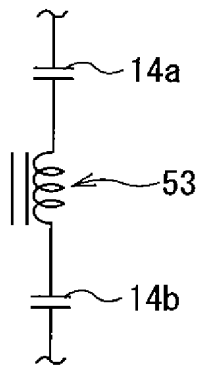
[図9B]



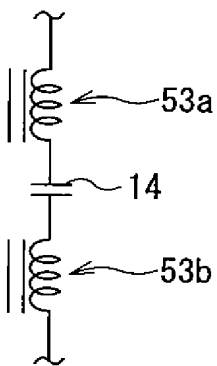
[図10]



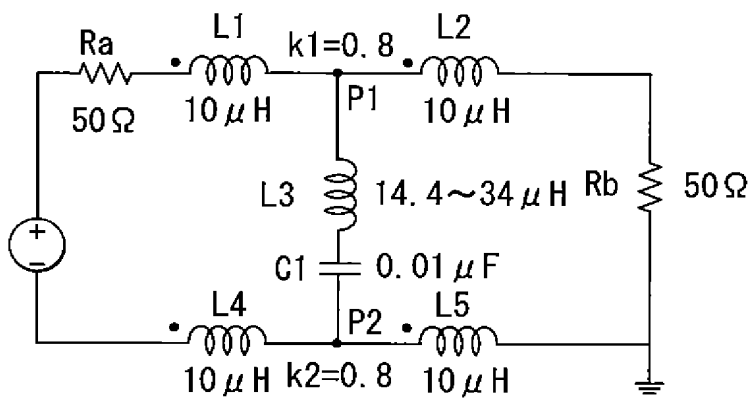
[図11A]



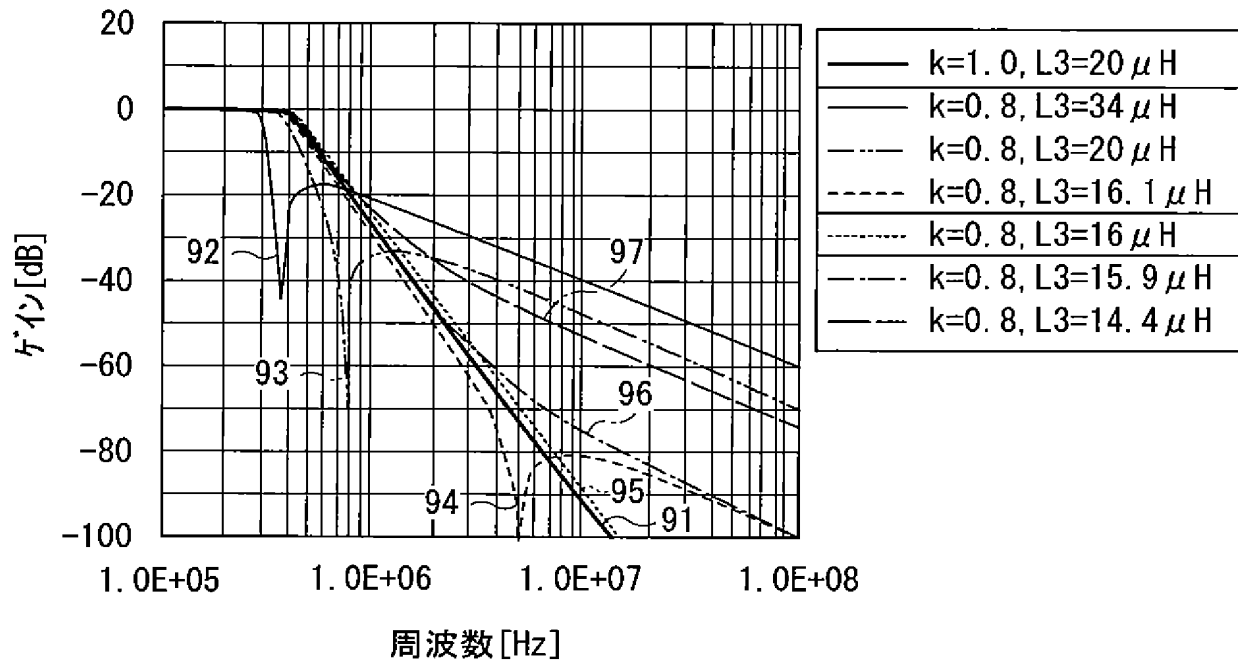
[図11B]



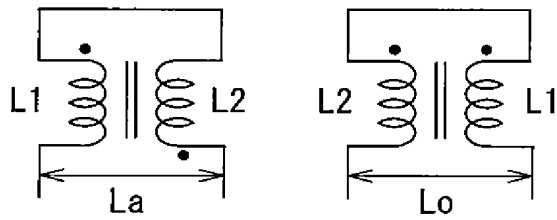
[図12]



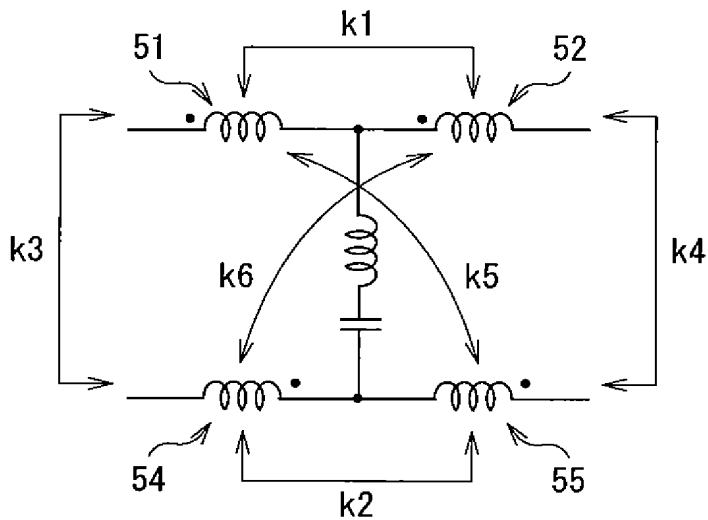
[図13]



[図14]

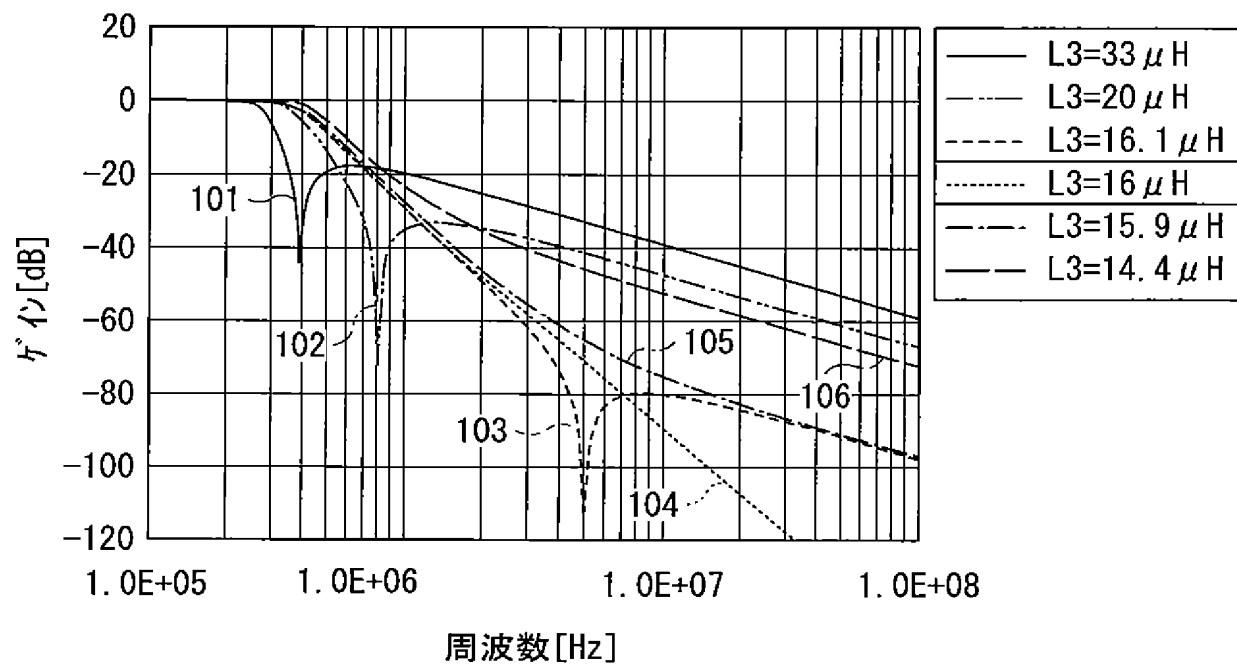


[図16]

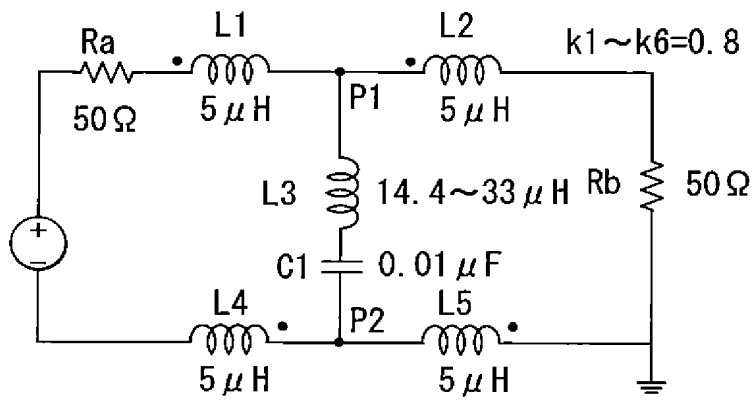


[図17]

L3の違いによる減衰特性の変化



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001364

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H02M1/12, H02H9/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H02M1/00-1/30, H02H9/00-9/08, H03H1/00-7/13

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 81978/1979 (Laid-open No. 2632/1981) (Toko, Inc.), 10 January, 1981 (10.01.81), Page 3, line 7 to page 5, line 7; Fig. 3 (Family: none)	1, 2 5, 6, 9, 10 3, 4, 7, 8, 11, 12
Y	JP 53-64446 A (Matsushita Electric Works, Ltd.), 08 June, 1978 (08.06.78), Page 1, lower right column, line 16 to page 2, upper left column, line 8; Fig. 4 (Family: none)	5, 6, 9, 10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
05 April, 2005 (05.04.05)

Date of mailing of the international search report
19 April, 2005 (19.04.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001364

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 3479/1981 (Laid-open No. 117822/1982) (Kabushiki Kaisha Sagami Musen Seisakusho), 21 July, 1982 (21.07.82), Full text; Figs. 1 to 8 (Family: none)	1-12
A	JP 10-13180 A (Taiyo Yuden Co., Ltd.), 16 January, 1998 (16.01.98), Full text; Figs. 1 to 7 (Family: none)	1-12

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷

H 0 2 M 1 / 1 2, H 0 2 H 9 / 0 4

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷

H 0 2 M 1 / 0 0 - 1 / 3 0

H 0 2 H 9 / 0 0 - 9 / 0 8

H 0 3 H 1 / 0 0 - 7 / 1 3

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2005年

日本国実用新案登録公報 1996-2005年

日本国登録実用新案公報 1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	日本国実用新案登録出願54-81978号(日本国実用新案登録出願公開	1, 2
Y	56-2632号)の願書に添付した明細書及び図面の内容を撮影した	5, 6, 9, 10
A	マイクロフィルム (東光株式会社) 10. 01. 1981, 第3頁第7行-第5頁第7行, 図3 (ファミリーなし)	3, 4, 7, 8, 11, 12
Y	J P 53-64446 A (松下電工株式会社) 08. 06. 1978, 第1頁右下欄第16行-第2頁左上欄第8行, 第4図 (ファミリーなし)	5, 6, 9, 10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

05. 04. 2005

国際調査報告の発送日

19. 4. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3 V

2917

電話番号 03-3581-1101 内線 3356

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	日本国実用新案登録出願 5 6 - 3 4 7 9 号 (日本国実用新案登録出願公開 5 7 - 1 1 7 8 2 2 号) の願書に添付した明細書及び図面の内容を撮影した マイクロフィルム (株式会社相模無線製作所) 2 1 . 0 7 . 1 9 8 2 , 全文, 図 1 - 8 (ファミリーなし)	1-12
A	J P 1 0 - 1 3 1 8 0 A (太陽誘電株式会社) 1 6 . 0 1 . 1 9 9 8 , 全文, 図 1 - 7 (ファミリーなし)	1-12